

(11)Publication number : 2001-209773
(43)Date of publication of application : 03.08.2001

(51)Int.Cl. G06K 19/077
B42D 15/10
G06K 19/073

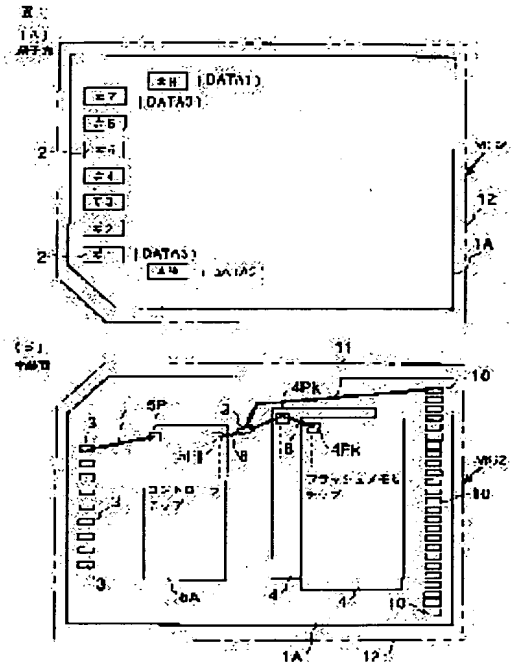
(21)Application number : 2000-018030 (71)Applicant : HITACHI LTD
(22)Date of filing : 25.01.2000 (72)Inventor : NISHIZAWA HIROTA
ISHIHARA HARUJI
SHIRAIISHI ATSUSHI
KANEMOTO KOICHI
YUGAWA YOSUKE

(54) IC CARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC card which easily realizes compatibility about the arrangement and function of connector terminals.

SOLUTION: This IC card MC2 has a card base material 1A where a semiconductor integrated circuit chips 4 and 5A are mounted and a plurality of connector terminals 2 are formed and exposes the connector terminals from the casing. The connector terminals are arranged in a staggered manner in a plurality of columns between adjacent columns to each other in front of or at the back of an IC card insertion direction. A relatively simple configuration where the projection quantity of the socket terminal of a card socket is changed and one vertical column is arranged can be adopted by adopting a staggered arrangement. When the connector terminal arrangement of a lower IC card is adopted to a specified connector terminal column as it is and the dedicated function of an upper IC card is allocated to another staggered connector terminal column is allocated with respect to it, lower compatibility also can easily be realized.



LEGAL STATUS

[Date of request for examination]	08.03.2004
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-209773
(P2001-209773A)
(43) 公開日 平成13年8月3日 (2001.8.3)

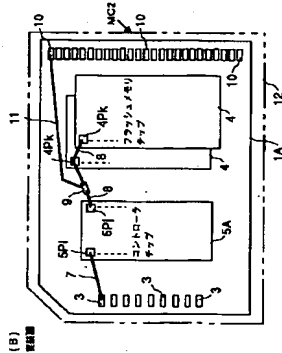
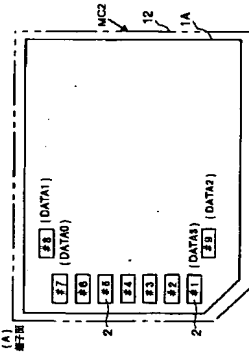
(51) Int.Cl.	識別記号	F I	フィート (参考)
G 0 6 K 19/077	B 4 2 D 15/10	5 2 1	2 C 0 0 5
B 4 2 D 15/10	G 0 6 K 19/00	L	5 B 0 3 5
G 0 6 K 19/073		P	
		K	

審査請求 未請求 請求項の数26 OL (全 24 頁)

(21) 出願番号	特願2000-18030 (P2000-18030)	(71) 出願人	00005108 株式会社日立製作所
(22) 出願日	平成12年1月25日 (2000.1.25)	(72) 発明者	西沢 裕幸 東京都千代田区神田駿河台四丁目6番地 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内
		(73) 発明者	石原 晴次 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内
		(74) 代理人	10088071 弁理士 玉村 静世

(54) 【発明の名称】 ICカード

(57) 【要約】
【課題】 コネクタ端子の配列や機能に関する互換性の実現が容易なICカードを提供する。
【解決手段】 ICカード (MC 2) は、半導体集積回路チップ (4、5A) が実装され複数のコネクタ端子 (2) が形成されたカード基板 (1A) を有し、前記コネクタ端子をケージングから露出する。コネクタ端子はICカード挿入方向の前後に隣合う列相互間で千鳥状に複数配列される。千鳥状配列を採用することにより、カードソケットのソケット端子の突出量を変えて縦一列に配置する比較的簡単に構成を採用することができる。下位ICカードのコネクタ端子配列をそのまま特定のコネクタ端子列に上位ICカード専用の機能を割当てれば、下位互換も容易に実現可能になる。



【特許請求の範囲】

【請求項1】 半導体集積回路チップが実装され複数のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングから露出するICカードであって、

前記コネクタ端子はICカード挿入方向の前後に隣合う列相互間で千鳥状に複数配列されて成るものであることを特徴とするICカード。

【請求項2】 半導体集積回路チップが実装され複数のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングから露出するICカードであって、

前記コネクタ端子はICカード挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の端子間領域の配列と第2列目に配置されたコネクタ端子の端子間領域の配列とが列方向で相互にずらされて成るものであることを特徴とするICカード。

【請求項3】 半導体集積回路チップが実装され複数のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングから露出するICカードであって、

前記コネクタ端子はICカード挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の列方向配列と第2列目に配置されたコネクタ端子の列方向配列とが列方向で相互にずらされて成るものであることを特徴とするICカード。

【請求項4】 前記第2列目に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第1列目に配置されたコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在され、

前記第2列目に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第1列目に配置されたコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在されて成るものであることを特徴とする請求項2又は3記載のICカード。

【請求項5】 前記コネクタ端子は1個の電源電圧供給用端子、2個の接地電圧供給用端子、及び1個のクロック信号入力用端子を含んで成るものであることを特徴とする請求項1乃至4記載のICカード。

【請求項6】 前記コネクタ端子は、4ビット分のデータ用端子を含み、全部で9個設けられて成るものであることを特徴とする請求項5記載のICカード。

【請求項7】 前記コネクタ端子は、8ビット分のデータ用端子を含み、全部で13個設けられて成るものであることを特徴とする請求項5記載のICカード。

【請求項8】 前記半導体チップは前記コネクタ端子に接続されたコントローラチップを有し、

前記コントローラチップは所定のコネクタ端子の状態又は所定のコネクタ端子からの入力状態に基いて設定される、前記4ビットのデータ用端子の内の1ビットを用

いる1ビットモードと、前記4ビットのデータ用端子を用いた4ビット並列出力を行う4ビットモードとを有して成るものであることを特徴とする請求項6項記載のICカード。

【請求項9】 前記半導体チップは前記コネクタ端子に接続されたコントローラチップを有し、

前記コントローラチップは所定のコネクタ端子の状態又は所定のコネクタ端子からの入力状態に基いて設定される、前記8ビットのデータ用端子の内の1ビットを用いる1ビットモードと、前記8ビットのデータ用端子の内の4ビットを用いた4ビット並列出力を行う4ビットモードと、前記8ビットのデータ用端子を用いた8ビット並列出力を行う8ビットモードとを有して成るものであることを特徴とする請求項7項記載のICカード。

【請求項10】 前記半導体チップとして、前記コントローラチップに接続される単数又は複数個の不揮発性メモリチップを更に有し、

前記コントローラチップは外部からの指示に従って前記不揮発性メモリチップに対するリード・ライト動作を制御するメモリコントローラ機能を有して成るものであることを特徴とする請求項8又は9記載のICカード。

【請求項11】 前記コントローラチップは更に、前記不揮発性メモリチップに書き込むデータに対して暗号化を行い、前記不揮発性メモリチップから読み出したデータに対して復号を行う機密保護機能を有して成るものであることを特徴とする請求項9又は10記載のICカード。

【請求項12】 ICカード挿入方向第1列目のコネクタ端子列は電源電圧供給用のコネクタ端子を有し、第2列目のコネクタ端子列は前記電源電圧供給用のコネクタ端子に隣り合う位置に端子間領域を有して成るものであることを特徴とする請求項1乃至3の何れか1項記載のICカード。

【請求項13】 ICカード挿入方向第1列目のコネクタ端子列は、第2列目のコネクタ端子列に隣り合う位置に端子間領域が設定されたコネクタ端子を有して成るものであることを特徴とする請求項1乃至3の何れか1項記載のICカード。

【請求項14】 半導体集積回路チップが実装され複数のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングの一面から露出するICカードであって、

前記ケージングは、ICカード挿入方向先端縁部からケージングの前記一面に至る斜面又は凹部で形成された案内内部が形成され、前記案内内部の斜面又は凹部はその他の端縁部に形成された斜面及び凹部よりも大きいことを特徴とするICカード。

【請求項15】 メモリチップと前記メモリチップを制御するコントローラチップとが実装され複数のコネクタ

タ端子と共に前記コネクタ端子に導通された複数の接続パッドが形成されたカード基板を有し、前記カード基板上での配置順序は当該カード基板の一边に対して前記コネクタ端子、コントローラチップ、メモリチップの順とされ、前記コネクタ端子をケージングから露出する1

Cカードであって、
【請求項2】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。
【請求項3】 メモリチップと前記メモリチップを制御するコントローラチップとが実装される複数のコネクタ端子と共に前記コネクタ端子に導通された複数の接続パッドが形成されたカード基板を有し、前記コネクタ端子をケージングから露出する1Cカードであって、
【請求項4】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項5】 メモリチップと前記メモリチップを制御するコントローラチップとが実装される複数のコネクタ端子と共に前記コネクタ端子に導通された複数の接続パッドが形成されたカード基板を有し、前記コネクタ端子をケージングから露出する1Cカードであって、
【請求項6】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項7】 半導体集積回路チップが実装される複数のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングの一面から露出する1Cカードであって、
【請求項8】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項9】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項10】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項11】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項12】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項13】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項14】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項15】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項16】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

コネクタ端子をケージングから露出する1Cカードであって、
【請求項17】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項18】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項19】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項20】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項21】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項22】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項23】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項24】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項25】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項26】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項27】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項28】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項29】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

【請求項30】 前記コネクタ端子は前記カード基板の他の面に形成されて成るものであることを特徴とする請求項21記載のICカード。

コネクタ端子の配列や機能に関する互換性、更にはICカードの互換性及び信頼性を向上させる技術に関し、例えば、マルチメディアカード (Multi Media Card) の互換メモリカードに適用して有効な技術に関する。

【0002】 従来技術 携帯電話、デジタルネットワーク機器間での情報の移動等を目的としたマルチメディアカードなどの小型化及びインタフェースの簡素化を実現したメモリカードが提供されている。マルチメディアカードは、例えばCQ出版社発行のインタフェース (1999年12月号) に記載されるように、外部インタフェース端子として7個のコネクタ端子を有し、シリアルインタフェースが採用されて、PCカードやハードディスクが採用するATAインタフェースに比べてホストシステム

の負荷を軽減でき、また、同文獻には、シリアルインタフェースを採用し、9個のコネクタ端子を有し、マルチメディアカードの上位互換メモリカードとしてSDカードが提案されている、との記載がある。

【0003】 本発明が解決しようとする課題 本発明者はマルチメディアカードに対する互換性、機能拡張、信頼性向上等について種々の検討を行った。

【0004】 第1に、マルチメディアカード等のコネクタ端子の形状や配置について検討した。個々のメモリカードのインタフェース仕様の相違点はカードのコネクタ端子の形状や配置に及び、その相違点がカードソケットのソケット端子に反映される。したがって、ケージングの大きさや厚さに統一性があってもコネクタ端子の配列や形状に共通性が無ければ、メモリカード相互間の互換性や上位互換を実現し難い事が本発明者によって明らか

にされた。

【0005】 第2に、ATAインタフェースを採用するPCカードやコンパクトフラッシュカード等に比べてシリアルインタフェースではデータ処理上必要なデータ入出力レートを得られない場合があることが予想される。これに答えるにはデータ入出力用のコネクタ端子の数を増やさなければならず、そのときは上記観点点による互換性が考慮されるべきである。

【0006】 第3に、ICカードの大きさを変えずにコネクタ端子の数を増やす場合には、カードソケットにICカードを挿入するとき、ICカードのコネクタ端子とカードソケットのソケット端子との如何なる相対位置によっても電圧間隔を発生しない工夫の必要性が本発明者によって見出された。

【0007】 第4にPCカードに比べて小さく薄いICカードには保管、携行、出荷などの形態を考慮した工夫が必要である。

【0008】 第5に、マルチメディアカード等の薄いメモリカードではコネクタ端子を選択的に露出させるため

に、コネクタ端子の配列や機能に関する互換性、更にはICカードの互換性及び信頼性を向上させる技術に関し、例えば、マルチメディアカード (Multi Media Card) の互換メモリカードに適用して有効な技術に関する。

【0002】 従来技術 携帯電話、デジタルネットワーク機器間での情報の移動等を目的としたマルチメディアカードなどの小型化及びインタフェースの簡素化を実現したメモリカードが提供されている。マルチメディアカードは、例えばCQ出版社発行のインタフェース (1999年12月号) に記載されるように、外部インタフェース端子として7個のコネクタ端子を有し、シリアルインタフェースが採用されて、PCカードやハードディスクが採用するATAインタフェースに比べてホストシステム

の負荷を軽減でき、また、同文獻には、シリアルインタフェースを採用し、9個のコネクタ端子を有し、マルチメディアカードの上位互換メモリカードとしてSDカードが提案されている、との記載がある。

【0003】 本発明が解決しようとする課題 本発明者はマルチメディアカードに対する互換性、機能拡張、信頼性向上等について種々の検討を行った。

【0004】 第1に、マルチメディアカード等のコネクタ端子の形状や配置について検討した。個々のメモリカードのインタフェース仕様の相違点はカードのコネクタ端子の形状や配置に及び、その相違点がカードソケットのソケット端子に反映される。したがって、ケージングの大きさや厚さに統一性があってもコネクタ端子の配列や形状に共通性が無ければ、メモリカード相互間の互換性や上位互換を実現し難い事が本発明者によって明らか

ば、前記コネクタ端子はICカード挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の端子間領域の配列と第2列目に配置されたコネクタ端子の端子間領域の配列とが列方向で相互にずらされて成る。

【0020】上記千鳥状の配置に対して更に別の表現をすれば、前記コネクタ端子はICカード挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の列の配列と第2列目に配置されたコネクタ端子の列の配列とが列方向で相互にずらされて成る。

【0002】前記コネクタ端子の配列に、千鳥状で代表される形態の複数配置を採用することにより、カードソケットのソケット端子の突出量を変えて統一列に配置する比較的情報に構成を採用することができ、また、下位ICカードのコネクタ端子配列をそのまま特定のコンタクト端子列に採用し、これに對して千鳥状の別のコネクタ端子配列に上位ICカード専用の機能割当てれば、上位ICカードを下位ICカードのカードスロットに装着して利用可能にするような下位互換も容易に実現可能になる。

【0022】〔2〕また、3世代間以上もしくは3種類以上のICカード間での互換性達成を企図するとき、第1のICカードのコネクタ端子配列をそのまま第1列目のコネクタ端子列に採用し、これに対して千鳥状の別のコネクタ端子列に第2のICカード専用の機能を実装する。また、前記特定の第1列目の端子列と前記第2列目のコネクタ端子列の双方に第3のICカード専用の機能を割当てようとする場合が想定される。このとき、第3のICカードと第3のICカードとの間で上位互換及び下位互換を要する事を考慮する。そのために、前記第2列目に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第1列目に配置され、コネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在させ、前記第2列目に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第1列目に配置され、コネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在させる構成を採用する。

【0023】これによれば、第1乃至第3のICカードは相互に他の何れのICカードのスロットにも挿入して利用可能な互換性を容易に実現可能に成る。

【0024】〔3〕前記コネクタ端子の具体的な機能は任意であるが、現状のマルチメディアカードなどを考慮すれば、前記コネクタ端子は1個の電源電圧供給用端子、2個の接地電圧供給用端子、及び1個のクロック信号入力用端子を含んでよい。

【0025】マルチメディアカードはデータ端子は1ビットであるが、データ出力レートを上げる事を考慮したとき、4ビット分のデータ用端子を設け前記コネクタ端子を全部で9個設ける構成、或いは8ビット分のデータ

タ用端子を設け前記コネクタ端子を全部で13個設ける構成などを採用してよい。

【0026】例えばコネクタ端子が前記9端子の11Cカードを想定したとき、データ端子1ビットのメモリカードとの互換性を実現するとき、前記半導体チップは前記コネクタ端子に接続されたコントローラチップを有し、前記コントローラチップは所定のコネクタ端子の状態又

は所定のコネクタ端子からの入力状態に基きて設定される、前記4ビットのデータ用端子の内の1ビットを用いる1ビットモードと、前記4ビットのデータ用端子を用いて4ビット並列入力を行う4ビットモードとを有する構成が考えられる。

【0027】同様に、コネクタ端子が前記13端子の1 Cカードを想定したとき、データ端子1ビット、4ビットのメモリカードとの互換性を実現する場合、前記コントローラチップは、所定のコネクタ端子の状態又は所定のコネクタ端子からの入力状態に基きて設定される、前記8ビット端子のデータ用端子の内の1ビットを用いる1ビットモードと、前記8ビットのデータ用端子の内の4ビットを用いて4ビット並列入出力を行う4ビットモードと、前記8ビットのデータ用端子を用いて8ビット並列入出力を行う8ビットモードとを備えればよい。

【0028】(4) 前記1ビットモードだけを有する1
Cカード、前記4ビットモードだけを有する1Cカー
ド、前記1ビットモードと4ビットモードを選択可能な
1Cカードの何れも利用可能にするデータ処理システム
を想定する。このデータ処理システムは、前記1ビット
モードと4ビットモードを選択可能な1Cカードが装着
可能なカードソケットを有し、前記カードソケットは装
着された1Cカードのコネクタ端子に接続される複数個
のソケット端子を有し、前記ソケット端子を介して前記
1Cカードに前記1ビットモード又は4ビットモードを
選択的に設定可能なカードインタフェースコントローラ
を有し、前記カードインタフェースコントローラはホス
ト制御装置の制御を受ける。

【0029】前記1ビットモードだけを有するICカード、前記4ビットモードだけを有するICカード、前記8ビットモードだけを有するICカード、前記1ビットモード又は4ビットモードを選択可能なICカード、前記1ビットモード又は8ビットモードを選択可能なICカード、の何れも利用可能にするデータ処理システムを規定する。このデータ処理システムは、前記1ビットモード、4ビットモード又は8ビットモードを選択可能なICカードが装着可能なカードソケットを有し、前記カードソケットは装着されたICカードのコネクタ端子に接続される複数のソケット端子を有し、前記ソケット端子を介して前記ICカードに前記1ビットモード、4ビットモード又は8ビットモードを選択的に設定可能なカードインタフェースコントローラを有し、前記カードインタフェースコントローラはホスト制御装置の

制御を受ける。

【0030】前記ICカードとしてメモリカードを想定すると、前記半導体チップとして、前記コントロールチップに接続とされる単数又は複数個の例えば電気的に書き換え可能な不揮発性メモリチップを更に備えれば、前記コントロールチップは外部からの指示に従って前記不揮発性メモリチップに対するリード、ライト動作を制御するメモリコントロール機能を備える。不揮発性メモリチップはROMであってもよい。また、用途によっては不揮発性メモリをRAMに代えてもよい。

【0031】データセキュリティを考慮するなら、前記コントローラチップは更に、前記不揮発性メモリチップに書き込むデータに対して暗号化を行い、前記不揮発性メモリチップから読み出したデータに対して復号を行う機能保護機能を有するとよい。

【0032】《電源間シールド防止》ICカード挿入方向第1列目のコネクタ端子列に電源電圧供給用のコネクタ端子が配置されているとき、第2列目のコネクタ端子列には前記電源電圧供給用のコネクタ端子に隣り合う位置に端子間領域を形成しておく。仮に、第2列目のコネクタ端子列に前記電源電圧供給用のコネクタ端子に隣り合う列目のコネクタ端子が千鳥状で配置されている場合、

当該別のコネクタ端子に割当てられるカードソケットのソケット端子は前記別のコネクタ端子に至る前にその前方に位置する電源供給用コネクタ端子と他のコネクタ端子との双方に接触する構成があり、この状態で電源電圧供給用コネクタ端子に電源用のソケット端子が既に接触しているなら、電源用ショートの虞がある。前記端子間領域を配置する構成を採用すれば、コネクタ端子の第1列目と第2列目の列間距離を大きくしたり、コネクタ端子の幅を狭くしたりする手段を講じなくてもよい。

【0033】上記同様の目的で、ICカード挿入方向第1列目のコネクタ端子列には、第2列目のコネクタ端子列に臨む部分に幅広の端子間距離を設定したコネクタ端子を設けてもよい。

「0034」《ICカードの破損防止》ICカードをカードソケットに挿入するとき、先ず、ICカードの先端部にソケット端子の接点が当接する。これにより、極端的にICカードのケーシング先端部が変形し鋭い亀裂が入る虞がある。また、逆にソケット端子に曲がりを生ずる虞もある。これを回避するために、ICカードのケーシングのコーネクト端子形成面に至る斜面又は円弧で形成された案内部を形成する。この案内部の斜面又は円弧はその他の端縁部に形成された斜面及び円弧よりも大きくする。

【0035】配線引き回しの削減）ICカードは、メモリチップと前記メモリチップを制御するコントローラチップとが実装され複数のコネクタ端子と共に前記コネクタ端子に導通された複数の接続パッドが形成され

たカード基板を有し、前記カード基板上で下記の配置順序で表示される当該カード基板の一面に対して前記コネクタ端子、コントローラチップ、メモリチップの順とされ、前記コネクタ端子をケーシングから露出する。前記コントローラチップは前記コネクタ端子の配列方向に沿って縦長形状を有し、コネクタ端子側には当該コネクタ端子に前記接続バンドを介して接続される複数個のコネクタインタフェース端子と前記メモリチップ側には当該メモリチップに接続される複数個のメモリインタフェース端子とを有する。前記メモリチップはコントローラチップ側に当該コントローラチップと接続される複数個のコントローラチップを有する。

【0036】これによれば、縦長のコントローラチップをコネクタ端子側に寄せ、コントローラチップの反対側面にメモリチップを配置するから、メモリチップの配置領域にメモリチップを配置することができる。さらに、前記コントローラチップ、メモリチップを失った接点端子、コントローラチップ、メモリチップを失った接点端子はそれらの配列方向に規則的に配置すればよく、チップを迂回したり、複雑に折れ曲がる配線を採用しなくともよい。

【0037】前記コントロールチップのコンタクタインタフェース端子に前記接続パッドをボンディングワイヤを介して接続し、また、前記メモリチップのコントロールチップフェース端子に前記コントロールチップのメモリインタフェース端子をボンディングワイヤを介して接続してよい。これによれば、カード基板の配線網を簡素化でき、コスト低減に寄与できる。

【0038】《ハンドリング性向上》 マルチメディアカードなどの比較的小さく薄いICカードの保管及び取り扱い性能を向上させるために、ICカードのケーシングに裏面に貫通する貫通孔を形成するとよい。リングに貫通孔を通過させる保管及び持ち運びが容易である。また、貫

通孔にストラップを通して良い。

【0039】また前記通孔1に板支え41前記ケーシング1に重ねられた状態で前記コネクタ端子を覆う端子保護カバーを設けてもよい。この保護カバーは不意にこのコネクタ端子に触れてしまう事態を抑制する事ができるから、この点で、ICカードに実装されている半導体集積回路チップの静電感防止を強化することができ、チップの静電感防止を強化することができる。

【0040】《テスト端子》半導体集積回路チップの英訳後にはおけるテストを効率化するには前記メモリチップ及びコントローラチップを表装したカード基板に、前記コントローラチップ及び前記メモリチップに接続するテスト端子を設けるとよい。テスト端子はケーシングに組み込まれた後は露出させない方がよいから、この観点から立てば、前記テスト端子は前記カード基板のコンタクト端子形成面とは反対側の面に形成するのよい。また、前記コントローラチップのメモリインタフェース側端子を高インピーダンス状態に制御する制御信号を前記コントローラチップに供給するコントロール端子を設けられ

(7)

ば、テスト端子を用いてメモリチップを単独テストすることにも容易になる。

【0041】《情報表示》メモリカードの記憶容量と
うように、通常ICカードにはその属性情報等が表示さ
れる。そのような情報表示はケーシングへのシール貼
り付けで行ってもよいが、部品点数削減等を考慮すると、
所要の文字情報をケーシングの表面に印刷し、又はその
表面に凹陥形成してもよい。

【0042】また、カードソケットへのICカードの挿入方向を指示する指示記号を前記ケーシングの表面に印刷し、又はその表面に凹陥形成してもよい。

[0043]

【発明の実施の形態】《マルチメディアカードの上位互換メモリカード》図1乃至図5にはマルチメディアカードの上位互換メモリカードが例示され、夫々において

【0044】先ず、それらメモリカードの基本になるマルチメディアカード型電池のメモリカード（マルチメディアカード型電池メモリカード）MC1について図6を参照しながら説明する。マルチメディアカード型電池メモリカードMC1のカード基板（マルチメディアカード型電池カード基板とも称する）1は、ガラスエポキシ樹脂等の樹脂基板で成る基板の端面上に、夫々同一形状で矩形的コネクタ端子2が等間隔で4個配置され、実表面には前記コネクタ端子2に1対1対応で接続パッド3が形成されている。接続パッド3はアルミニウム、銅又は鉄合金などの導電パターンで形成される。コネクタ端子2はアルミニウム、銅又は鉄合金などの導電パターンに金メッキやニッケルメッキ等が施されて成る。接続パッド3とコネクタ端子2との接続はカード基板1上の図示を省略する配線パターンとカード基板1の表裏を導通されるスルーホールとによって行われる。

【0045】カーディ基板1の裏表面には、例えば電気の
に書き換え可能なフラッシュメモリチップ4と前記フラ
ッシュメモリチップ4を制御するコントラチップ5はコ
ンタチップ2と介して外部から与えられる指示に従って
前記フラッシュメモリチップ4に対するリード・ライト動
作を制御する。データセキュリティを考慮する場合は、
前記コントラチップ5は更に、前記フラッシュ
メモリチップ4に書き込むデータに対して暗号化を行い、
前記フラッシュメモリチップ4から読み出したデータに
対して復号を行う暗号処理機能を用意するようにすればよ
い。

【0046】前記コントローラチップ5は、前記コンテナ端子2の配列方向に沿って縦長形状を有し、コンテナ端子2側には当該コンテナ端子2に前記接続パッド3を介して接続される複数のコンテナ端子2フェース端子5・5'と前記接続パッド3側には当該メモリチップ4に接続される複数のメモリインタフェース端子5P1に接続される複数のメモリインタフェース端子5P4。

あり、追加された2個のコネクタ端子は端子番号#8、
#9とされる。

【0050】前記#1～#7のコネクタ端子2はカード基板1Aに対して第1列目のコネクタ端子列を構成し、追加された前記#8、#9のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子列を構成する。#8、#9のコネクタ端子2の大きさは他のコネクタ端子2の大きさと同じである。第1列目のコネクタ端子列と第2列目のコネクタ端子列とはコネクタ端子の列方向に配置が列方向で相互にずれていて、換言すれば、#7と#9のコネクタ端子2、そして#7と#8のコネクタ端子2は千鳥状に配置されている。

【0051】このメモリカードMC2は、端子#2～#7がマルチメディアカード準拠メモリカードMC1のマルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてリザーブ端子#3、追加された端子#1は第4ビット目のデータDATA2、追加された端子#8、#9は第2ビット目のデータDATA1、第3ビット目のデータ端子DATA2とされる。第1ビット目のデータ端子DATA0はマルチメディアカードモードと同じ端子#7である。従って、このメモリカードMC2は、前記メモリカードMC1のマルチメディアカードモードにおいてデータ入出力が4ビット並列で可能となる点で前記メモリカードMC1と相違する。

【0052】更にこのメモリカードMC2は、前記マルチメディアカード準拠メモリカードMC1に対して下位ビットを交換モードを備える。即ち、前記コンローラチップ5Aは、前記4ビットのデータ用端子#1、#7、#8、#9の内の1ビット#7を用いる1ビットモードと、前記4ビットのデータ用端子#1、#7、#8、#9を用いる4ビット並列入出力を行う4ビットモードとを有する。前記1ビットモードはメモリカードMC2をマルチメディアカード準拠メモリカードMC1として動作させる動作モードである。

【0053】前記動作モードの設定は所定のコネクタ端子の状態又は所定のコネクタ端子からのコマンド入力状態に応答して設定さればよい。例えば、メモリカードMMC 2をマルチメディアカード準拠メモ리카ードソケットに装着したとき前記メモ리카ードソケットに装着すると共に前記メモ리카ードソケットに入力されるコマンドデシグネットになるから、電源投入時にコントローラチップ5 Aが端子8、#9の双方又は一方のプロローディング状態を検出することによって当該メモ리카ードソケット2に前記1ビットモードを設定すればよい。また、コネクタ端子2が9個のメモ리카ードMMC 2をそれぞれ専用のカカードソケットに装着したとき前記端子8、#9はカードソケットのソケット端子に導通するから、電源投入時にコントローラチップ5 Aが少なくとも端子8、#9の双方又は一方にホスト装置から特定の信号若しくは

い。

コマンドが供給されるのを検出することによって当該メモリカードMC2に前記4ビットモードを設定すればよい。

【0054】コントローラチップ5Aは接続パッド31に接続されるデータ入出力端子の数が4個である点で前記コントローラチップ5と相違する。その他の構成は図6と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0055】図2には前記マルチメディアカードに対して、データ端子が4ビットとされる上位互換の別のメモリカードMMC3が例示される。このメモリカードMMC3が例示される。このメモリカードMMC3に対して、前記カード基板1Bは、メモリカード端子の配置及び大きさの点で端子番号#8、#9のデータ端子の配置及び大きさの点で端子番号#8、#9のデータ端子は第1列目の端子列で相対している。#8のデータ端子は第1列目の端子列に完全に組み込まれ、他のコネクタ端子2に比べて幅が小さくされている。#9のデータ端子は#1のデータ端子の外側でこれと入れ子の状態になる位置に配置変更されている。その他の構成は図1と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0056】図3には前記マルチメディアカードに対してデータ端子が8ビットとされる上位互換のメモリカードMC4が例示される。メモリカードMC1との相違点は、コネクタ端子2及び接続パッド3が13個配置される点である。前記端子番号#1～#7はマルチメディアカード準拠メモリカードMC1とレイアウト構成が同一であり、追加された6個のコネクタ端子は端子番号#8～#13とされる。

【0057】前記#1～#7のコネクタ端子2はカード基板1Cに対して第1列目のコネクタ端子列を構成し、追加された前記#8～#13のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子列を構成する。#8～#13のコネクタ端子2の大きさは他のコネクタ端子2の大きさと同じである。第1列目のコネクタ端子列と第2列目のコネクタ端子列とはコネクタ端子の列方向配置が列方向で互いにずれている。コネクタ端子2の端子間領域に着目すれば、第1列目のコネクタ端子列の端子間領域の配列と第2列目のコネクタ端子列の端子間領域の配列とが列方向で相互にずれている。要するに、図1のメモリカードMMC2と同様に、第1列目と第2列目のコネクタ端子は列相互間で千鳥状に配置されている。

【0058】このメモリカードMC4は、端子#2～#7がマルチメディアカード準拠メモリカードMC1のマルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてリザーブ端子であった端子#1は第4ビット目のデータ端子DATA2、追加された端子#8、#9、#10、#11、#12、#13は順次第2ビット目のデータ端子DATA1、第5ビット目のデータ端子DATA4、第7ビット

幅広の端子間距離を設定したコネクタ端子2Aを設けられ、要するにコネクタ端子2Aの後方の角部分には比較的大きな面取り部分を形成しておけばよい。

【0078】その他の電源ショートの対策は、図13に例示するように、短い方のソケット端子23Aa、23Acの接点の先端から、長い方のソケット端子23Abの接点の基礎までの距離D1が、#3、#4のコネクタ端子の幅寸法B1よりも大きいことがよい。また、ソケット端子23Abの太さが#3、#4のコネクタ端子の間隔寸法より十分小さければよい。但し、寸法的な規定によって電源ショートを防止する場合には、加工誤差や組立で誤差があり、また、メモリカード自体の断絶と見なすには無理があるため、高い信頼性をもって電源ショートを防止するには図7や図12の手段を講ずるのが得策である。

【0079】《配線引き回しの削減》図1乃至図6で説明したメモリカードMC1～MC6は、前記カード基板上での配線順序は当該カード基板の一面に対して前記コネクタ端子2、コントローラチップ5(5A、5B)、フラッシュメモリチップ4の順とされ、前記コネクタ端子2はケーシング12から露出される。前記コントローラチップ5(5A、5B)は前記コネクタ端子2の配列方向に沿って縦長形状を有し、コネクタ端子2の側には当該コネクタ端子2に前記接続パッド3を介して接続される複数のコネクタインタフエース端子5Piと前記フラッシュメモリチップ4の側には当該フラッシュメモリチップ4に接続される複数のメモリインタフエース端子5Pjとを有する。前記フラッシュメモリチップ4はコントローラチップ5(5A、5B)の側に当該コントローラチップ5(5A、5B)に接続される複数のコネクタインタフエース端子4Pkを有する。前記端子5Pi、5Pj、4Pkは例えばボンディングパッドによって構成される。

【0080】これによれば、縦長のコントローラチップ5(5A、5B)をコネクタ端子2の側に寄せ、コントローラチップ5(5A、5B)の反対側にフラッシュメモリチップ4を配置するから、フラッシュメモリチップ4の配置領域を比較的大きくすることができ、さらに、前記コネクタ端子2、コントローラチップ5(5A、5B)、メモリチップ4を夫々接続する配線はそれらの配列方向に規則的に配置すればよく、チップを迂回したり、複雑に折れ曲る配線を採用しなくてもよい。

【0081】前記コントローラチップ5(5A、5B)のコネクタインタフエース端子5Piに前記接続パッド3をボンディングワイヤ7を介して接続し、また、前記フラッシュメモリチップ4のコントローラインタフエース端子4Pkに前記コントローラチップ5(5A、5B)のメモリインタフエース端子5Pjをボンディングワイヤ8及び導電パターン9を介して接続してよい。これにより、カード基板の配線層を簡素化でき、コスト低

減に寄与できる。

【0082】図14の比較例に示されるようにコントローラチップやフラッシュメモリチップのボンディングパッドのようなインタフエース端子の向きが接続パッド3の向きに対してバラバラである場合には、接続パッド、コントローラチップ、メモリチップを夫々接続する配線はチップを迂回したり、複雑な経路を通り、カード基板の配線層を複雑化し、電気的特性を劣化させ、コストを上昇させ、信頼性も低くなってしまふ。

【0083】図15には図6のマルチメディアカード準拠メモリカードMC1の回路素子実装状態の詳細な構成を平面的に例示してある。図16はその横断面図である。図15及び図16の構成ではテスト端子10は図示を省略してある。また、図16では図6とは異なる参照符号を用いた部分がある。

【0084】カード基板1はガラスエポキシ樹脂などで構成され、そのカード基板1の裏面には前記コネクタ端子2が導電パターンで形成されている。カード基板1の表面には、配線パターンや導電パターンを介して前記コントローラチップ5、フラッシュメモリチップ4が実装されている。図において、3はスルーホール40を介して対応するコネクタ端子2に接続された接続パッドである。

【0085】図15において図6のボンディングワイヤ8は8a、8b、8cに分けて図示してある。コントローラチップ5やメモリチップ4は所謂ベアチップであり、それらの前記外部端子5Pi、5Pj、4Pkは、アルミニウム、アルミニウム合金、銅又は鉄合金等のボンディングパッドである。

【0086】前記フラッシュメモリチップ4は、例えばコントロールゲート、フローティングゲート、ソース及びドレインを持つ不揮発性メモリセルトランジスタをマトリクス配置したメモリセルアレイを有し、外部から供給されるコマンドとアドレスにしたがって、データ読み出し、消去、書き込み、ペリアイなどの動作を行うようになっている。このフラッシュメモリチップ4は、複数の外部端子4Pkとして、チップ選択を指示するチップ・ブレイブル信号(チップ選択信号とも称する)/CEの入力端子、書き込み動作を指示するライト・ブレイブル信号/WEの入力端子、入出力端子1/O0～1/O7、入出力端子1/O0～1/O7をコマンド・データの出入り又はアドレスの入力の何れに用いるかを指示するコマンド・データ・ブレイブル信号/CDEの入力端子、出力動作を指示するアウト・ブレイブル信号/ODEの入力端子、データラッチタイミングを指示するクロック信号/SCの入力端子、書き込み動作中かを外部に指示するレディ・ビジー信号R/Bの出力端子、リセット信号/R・ESの入力端子を有する。

【0087】前記コントローラチップ5は外部からの指示に従って前記フラッシュメモリチップ4に対するリー

ド・ライト動作を制御し、更に、データセキュリティ・若しくは著作権保護などを考慮して、前記フラッシュメモリチップ4に書き込むデータに対して暗号化を行い、前記フラッシュメモリチップ4から読み出したデータに対して復号を行う暗号保護機能を備えている。

【0088】コントローラチップ5の外部端子5Piは、コネクタ端子3の入出力機能に対応させる。コントローラチップ5におけるメモリチップ4に対する端子5Pjとして、フラッシュメモリチップ4に対するチップ選択信号/CE0の出力端子、フラッシュメモリチップ4に対するチップ選択信号/CE1の出力端子を有し、更に前記フラッシュメモリチップ4の外部端子4Pkに対応させ且つそれと入出力方向が逆にされた外部端子を有する。

【0089】上述のように、前記接続パッド3とコントローラチップ5の外部端子5Piとの接続にボンディングワイヤ7を用い、前記コントローラチップ5とフラッシュメモリチップ4との接続にボンディングワイヤ8a、8b、8cを用いることにより、前記ボンディングワイヤによる接続と同機能の複数の配線パターンをカード基板1に密集させて形成しなくてもよい。コントローラチップ5やフラッシュメモリチップ4の上方空間を配線に利用でき、要するに、ボンディングワイヤの空中配線により、基板配線を簡略化することが可能になる。したがって、カード基板1のコスト低減に寄与することができ、

【0090】図15の構成では2個のフラッシュメモリチップ4をボンディングワイヤでコントローラチップ5に並列的に接続している。このとき、前記2個の不揮発性メモリチップ4を夫々の外部端子4Pkが露出するよう位置をずらして重ねた状態で前記カード基板1に実装してある。これにより、夫々の不揮発性メモリチップ4を重ねずに配置する場合に比べて、コントローラチップ5との距離が短くなり、ボンディングワイヤ8b、8cの引き回し長さが短くなる。したがって、ボンディングワイヤの不所要な接触や断線の数を低減することができ、複数の不揮発性メモリチップを積層するときのずらし量は、上層チップのボンディング用外部端子の下には一つ下層のチップが存在できる範囲で決めればよい。ボンディング用外部端子の下に下層のチップが存在している場合、ボンディング時の機械的な力によるチップ損傷の虞があるからである。

【0091】図16において、前記コントローラチップ5及び不揮発性メモリチップ4は全体として熱硬化性樹脂55でモールドされている。このとき、熱硬化性樹脂55によるモールド領域にはスルーホール40を含まないようになっている。したがって、圧力をかけてモールドを行うとき、モールド樹脂55がスルーホール40を介してカード基板1の裏側に漏れて、モールド不良を生ずるような虞を排除することができる。

【0092】図16において、カード基板1の表面を覆うケーシング12は例えば表面を絶縁コーティングした金属キャップ等で構成することができる。これにより、樹脂キャップに比べて、EMI(Electro Magnetic Interference: 電磁波妨害)対策にもなり、機械的な破れ付けによる封止や高温のキャップ封止も可能になる。

【0093】《テスト端子》図1乃至図6で説明したカード基板1、1A～1Eは、コントローラチップ5及びフラッシュメモリチップ4の実装後におけるテストを効率化するために、前記コントローラチップ5及び前記メモリチップ4に接続するテスト端子10が設けられている。テスト端子10はケーシング12に組み込んだ後は露出させない方がよいから、この観点に立てば、前記テスト端子は前記カード基板のコネクタ端子3の形成面とは反対側の面に形成されている。

【0094】図17には図6のマルチメディアカード準拠メモリカードMC1のテスト端子の接続状態が例示される。図17ではテスト端子の接続状態を簡略化するため、コントローラチップ5と不揮発性メモリチップ4との接続状態については図示を簡略化している。図17において図6と同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0095】コントローラチップ5は、図6には図示を省略してある外部端子5Pjの一つとして内部でプルアップしたテスト信号/TESTの入力端子(単にテスト端子/TESTとも記す)を有する。このテスト端子/TESTは、ローレベルが入力されているとき、不揮発性メモリチップ4とのインタフエース端子、特に出力端子及び入出力端子を高出力インピーダンス状態、又は入出力動作不可能な状態に制御する。また、TEST入力端子はセキュリティのためにシリアルコマンド(暗号命令)で入力制御してもよい。

【0096】カード基板1には前記コントローラチップ5のメモリインタフエース側のテスト端子/TESTに配線11aで接続されたテスト制御端子10aが形成されている。カード基板1には前記コントローラチップ5のメモリインタフエース側の残りの全ての外部端子5Pjに配線11bで一対一対応に接続されたテスト端子10bが形成されている。また、前記コントローラチップ5のコネクタフェース側の外部端子5Piのうちグラント電源Vss用の外部端子に配線11cで接続されたテスト用グラント電源端子10cと、同様に、前記コントローラチップ5のコネクタインタフエース側の外部端子5Pjのうち電源Vdd用の外部端子に配線11dで接続されたテスト用電源端子10dが設けられている。図17において、33で示されるものは静電破壊防止のため、カード基板1に追加されたガードリングである。このガードリング33はカード基板1を周回し、回路のグラント電源端子に接続されている。

【0097】前記コントローラチップ5のメモリインタ

フェース側端子を高インピーダンス状態に制御する制御信号/T.E.S.Tを前記コントローラチップ5に供給するコントロール端子10aを有するから、テスト端子10b〜10dを用いてメモリチップ4を単独テストすることが容易である。

【0098】テスト端子10b、10c、10dが前記カード基板1に形成されているから、コントローラチップ5が静電破壊等によってメモリコントロール動作不能にされたとき、外部からテスト端子10b、10c、10dを介し前記不揮発性メモリチップ4を直接アクセス制御することができ、これにより、コントローラチップ5が破壊されても、不揮発性メモリチップ4にデータが残っているれば、これを容易に回復することができ、

【0099】《ハンドリング性向上》図1乃至図6で説明したマルチメディアカード準拠カード等のメモリカードは、1.4mmのように比較的薄く、また、2.4mm×3.2mmのように比較的小さい。そのようなメモリカードMC1〜MC6の保管及び取り扱い性能を向上させるために、図18、図19に例示されるようにメモリカードMC1〜MC6のケーシング12に設けられた貫通する貫通孔40を形成する。貫通孔40の周囲は、座ぐられていてケーシング12の外縁に連通されている。図18の例では座ぐり部分41はメモリカードの電極などの情報を表示するための段差部（キャビティ領域）が流用されている。図19では特別に座ぐり部分41を形成されている。図19において42で示される部分はメモリカードの種別などの情報を表示するための領域である。貫通孔40の周囲を補強するために所部ハトメのような中空部材を挿入してもよい。

【0100】図20に例示されるように開閉可能なリング43に貫通孔40を設ければ、メモリカードMC1（MC2〜MC6）の保管及び持ち運びが容易になる。また、リング43に通した状態を出荷形態としてもよい。

【0101】図21に例示されるように、貫通孔40にストラップ44を通してよい。図22に例示されるようにストラップ44をつけたままメモリカードMC1（MC2〜MC6）をPCカードアダプタ45に装着する場合を想定する。同図（A）、（B）、（C）の順に装着が進むと、前記貫通孔40の部分もPCカードアダプタ45に挿入することになる。このとき、メモリカードMC1（MC2〜MC6）の外縁に連通する前記座ぐり部分41がストラップ44の接続リング部分の逃げになり、ストラップ44がメモリカードMC1（MC2〜MC6）の装着を妨げる事はない。

【0102】また前記貫通孔40には、図23に例示されるように中空リベット50を用いてコネクタ端子2の保護カバー51を相支（回動可能に軸支）してもよい。保護カバー51を相支（回動可能に軸支）してもよい。即ち、メモリカードMC1（MC2〜MC6）の端子面と概略相似形の平板状の保護カバー51を用意し、この

保護カバー51をメモリカードMC1（MC2〜MC6）の端子面（コネクタ端子2が形成されている面）に重ね、その上から中空リベット50を貫通孔40に向けて挿入し、中空リベット50の突出端を屈曲に変形して、保護カバー51を開閉可能にする。保護カバー51は例えば薄いプラスチック板であり、前記ケーシング12に重ねられた状態で前記コネクタ端子2を覆う。この保護カバー51は不用意にコネクタ端子2に触れてしまう事態を抑制する事ができるから、この点で、メモリカードMC1（MC2〜MC6）に実装されているコントローラチップ5の静電破壊防止を強化することができ、

【0103】図24に示されるように、前記中空リベット50の中空部40Aに前記リング43を通せば、メモリカードMC1（MC2〜MC6）の保管及び持ち運びに便利である。

【0104】図25に例示されるように保護カバー51をつけたままでもメモリカードMC1（MC2〜MC6）をPCカードアダプタ45に装着する事ができる。同図（A）、（B）、（C）の順に装着が進むと、前記中空リベット50もPCカードアダプタ45に挿入されることになるが、中空リベット50の頭部が比較的薄ければメモリカードMC1（MC2〜MC6）の装着を妨げる事はない。

【0105】尚、図20乃至図25においてメモリカードMC1（MC2〜MC6）のキャビティ部分には前記貫通孔40や中空リベット50を避けてシールが貼りが付けられている。シールには記憶容量などが印刷されている。前記貫通孔40の形成とシール貼り付けは別工程で行われるから、相互の孔の位置合わせなどを行わずで済む。

【0106】《メモリカードの破損防止》図26にはメモリカードMC1（MC2〜MC6）の端子面の状態が、（A）平面図、（B）正面図、（C）側面図によって例示される。メモリカードMC1（MC2〜MC6）に、メモリカード挿入方向先端縁部60からケーシング12の端子面61に至る斜面又は凹弧で形成された案内部62を形成する。この案内部62の斜面（所謂C加工面）又は凹弧（R加工面）はその他の端縁部に形成された斜面及び凹弧よりも大きくされている。

【0107】メモリカードMC1（MC2〜MC6）をカードソケットに挿入するとき、まずメモリカードMC1（MC2〜MC6）の前記案内部62にソケット端子20A（21A、22A）の接点と当接し、接点を断り、断り後に案内部61に案内する。これにより、断り時にメモリカードMC1（MC2〜MC6）のケーシング12の先端部が変形したり亀裂が入る虞を未然に防止することができ、ソケット端子に曲がりを生ずる虞もない。

【0108】前記案内部62はカード基板1（1A〜1

E）に形成するのは難しく、ケーシング12に形成するのが容易である。したがって、端子面61においてカード基板1（1A〜1E）の周囲にはある程度の幅を持つケーシングの肉厚が残っていないかならない。このとき、図26に代表されるようにカード基板の方向性を示すための斜め切取り部分63が存在すると、前記肉厚部分を確保するのが難しい場合も想定される。その場合には、図27に例示されるように、斜め切取り部分63を2辺切り取り部分64として成形すれば、ケーシング12のその部分の肉厚を確保し易くなる。

【0109】《情報表示》メモリカードMC1（MC2〜MC6）では記憶容量等のようにその属性情報等が表される。そのような情報表示は図28に例示されるようにケーシング12へのシール66の貼りで行ってケーシング12へのシール66の貼りで、図29にもよい。部品点数削減等を考慮する場合、図29に例示されるように、所要の文字情報67をケーシング12の表面に予め印刷しておけばよい。特に図示しないが、印刷に代えて文字情報67をケーシング12の表面に予め凹陥形成してもよい。前記印刷又は凹陥形成はメモリカードの組立て前に行うのが良い。半導体チップに無用なストレスを与えずに済む。

【0110】また、図30に例示されるように、カードソケットへのメモリカードMC1（MC2〜MC6）の挿入方向を指示する指示記号（例えば三角記号）68を前記ケーシング12の表面に予め凹陥形成する。特に図示しないが、凹陥形成に代えて指示記号（例えば三角記号）68をケーシング12の表面に予め印刷してもよい。これにより、指示記号を有するシール等を部品を削減する事ができる。

【0111】《ライトプロテクト》メモリカードMC1（MC2〜MC6）は前述のように比較的小さく薄いから、ライトプロテクトのために機械的なスライド機構を採用するスペースを割く事は難しい。このような事情の下で、ライトプロテクトが必要な場合には、図31及び図32に例示されるシール構造、図33及び図34に例示される爪構造を採用すればよい。

【0112】図31はシール方式によるライトプロテクト解除状態（替換え可能状態）を示し、図32はシール方式によるライトプロテクト状態を示す。各図において（A）は平面図、（B）は（A）のA-A矢視断面図である。シール方式ではケーシング12に溝70を形成しておき、溝70をシール71で覆う事によって、カードソケット側の図示を省略するレバーが溝70に入り込まず、これによってライトプロテクト解除状態が検出される。ライトプロテクトを行う場合には図32に例示されるように溝70からシールを外せばよい。再度シールを貼ればライトプロテクトを解除できる。

【0113】シール71の段差の増加を防止するには、図示には明示されていないが、その段差だけキャビティ一化、即ち薄く凹状にして、ケーシングの全体的な厚さ

を抑えるようにしてもよい。

【0114】図33は爪方式によるライトプロテクト解除状態（替換え可能状態）を示し、図34は爪方式によるライトプロテクト状態を示す。各図において（A）は平面図、（B）は（A）のA-A矢視断面図である。爪方式ではケーシング12の1辺に表裏に貫通する一対の割端部73A、73Bを離間形成し、割端部73A、73Bの間にケーシング12の表裏に割端73Bを形成し、これにより、折り曲げ可能な爪73を形成しておく。爪73が折られていない状態では、カードソケット側の図示を省略するレバーが爪73に阻まれて動かず、これによってライトプロテクト解除状態が検出される。うに爪73を折ってケーシング12に溝74を形成すればよい。溝74をシール等で覆えばライトプロテクトを再び解除できる。

【0115】《フラッシュメモリチップ》ここで、前記フラッシュメモリチップ4について説明しておく。図35にはフラッシュメモリチップ4の一例が示される。同図において、103で示されるものはメモリレイアウトであり、メモリマツト、データラッチ回路及びセンスラッチ回路を有する。メモリマツト103は電氣的に消去及び書き込み可能な不揮発性のメモセルストランジスタを多数有する。メモセルストランジスタは、例えば図36に例示されるように、半導体基板若しくはメモリウエハUBに形成されたソースS及びドレインDと、チャネル領域にトンネル酸化膜を介して形成されたフローティングゲートFG、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートCGを有して構成される。コントロールゲートCGはワード線106に、ドレインDはビット線105に、ソースSは図示を省略するソース線に接続される。

【0116】外部入出力端子1/O0〜1/O7は、7ドレイン入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子1/O0〜1/O7から入力されたXアドレス信号はマルチプレクサ107を介してXアドレスバスX108に供給される。Xアドレスデコーダ109はXアドレスバスX108から出力される内部相補アドレス信号をデコードしてワード線を駆動する。

【0117】前記ビット線105の一端側には、図示を省略するセンスラッチ回路が設けられ、他端には同じく図示を省略するデータラッチ回路が設けられている。ビット線105はYアドレスデコーダ111から出力される選択信号に基づいてYゲートアレイ回路113で選択される。外部入出力端子1/O0〜1/O7から入力されたYアドレス信号はYアドレスカウンタ112にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデコーダ111に与えられる。

【0118】Yゲートアレイ回路113で選択されたビット線は、データ出力動作時には出力バッファ115の入力端子に導通され、データ入力動作時にはデータ制御回路116を介して入力バッファ117の出力端子に導通される。出力バッファ115、入力バッファ117と前記入出力端子1/O0~1/O7との接続は前記マルチプレクサ107で制御される。入出力端子1/O0~1/O7から供給されるコマンドはマルチプレクサ107及び入力バッファ117を介してモード制御回路117に与えられる。前記データ制御回路116は、入出力端子1/O0~1/O7から供給されるデータの他に、モード制御回路118の制御に従った論理値のデータをメモリアレイ103に供給可能にする。

【0119】制御信号バス回路119には、アドレス制御信号として前記チップアドレス/信号/CE、アドレス/信号/WE、データラッチタイミングを指示する信号/CS、リセット信号/RES及びコマンド・データ・アドレス/信号/CDEが供給される。モード制御回路118は、それら信号の状態に応じて外部との信号インタフェース機能などを制御し、また、コマンドコードに従って内部動作を制御する。入出力端子1/O0~1/O7に対するコマンド又はデータ入出力の場合、前記信号/CEがアサートされ、コマンドであれば更に信号/WEがアサート、データであれば信号/WEがネゲートされる。アドレス入力であれば、前記信号/CDEがネゲートされ、信号/WEがアサートされる。これにより、モード制御回路118は、外部入出力端子1/O0~1/O7からマルチプレクス入力されるコマンド、データ及びアドレスを区別できる。モード制御回路118は、消去や書き込み動作中にレディー・ビジー信号R/Bをアサートしてその状態を外部に知らせることができる。

【0120】内部電源回路120は、書き込み、消去、ベリファイ、読み出しなどのための各種動作電源121を生成して、前記Xアドレスデコード109やメモリセルアレイ103に供給する。

【0121】前記モード制御回路118は、コマンドに従ってフラッシュメモリチップ4を全体的に制御する。フラッシュメモリチップ4の動作は、基本的にコマンドによって決定される。フラッシュメモリに割り当てられているコマンドは、読み出し、消去、書き込み、等のコマンドである。

【0122】フラッシュメモリチップ4はその内部状態を示すためにステータスレジスタ122を有し、その内容は、信号/WEをアサートすることによって入出力端子1/O0~1/O7から読み出すことができる。

【0123】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

面と実装面を示す説明図である。

【図6】マルチメディアカード準拠メモリカードの端子面と実装面の状態を示す説明図である。

【図7】図5のオールマイディカードに対応されたカードソケットに当該メモリカードを装着した状態を示す説明図である。

【図8】図1のマルチメディアカード準拠メモリカードに対応されたカードソケットに前記オールマイディカードを装着した状態を示す説明図である。

【図9】マルチメディアカード準拠メモリカードに対応されたカードソケットに前記オールマイディカードを装着した状態を示す説明図である。

【図10】図7のカードソケットを有するデータ処理システムの概略ブロック図である。

【図11】電源間ショートを生ずるコネクタ端子配列を比較例として示す説明図である。

【図12】コネクタ端子の面取り部分によって電源間ショートを防止する例を示す説明図である。

【図13】ソケット端子の長さ寸法などによって電源間ショートを防止する例を示す説明図である。

【図14】カード基板上で配線引き回しが増大する比較例を示す説明図である。

【図15】図6のマルチメディアカード準拠メモリカードの回路端子実装状態の詳細な構成を例示した平面図である。

【図16】図15の縦断面図である。

【図17】図6のマルチメディアカード準拠メモリカードのデスト端子等の接続状態を例示する平面図である。

【図18】メモリカードに貫通孔を形成した第1の例を示す斜視図である。

【図19】メモリカードに貫通孔を形成した第2の例を示す斜視図である。

【図20】メモリカードに形成した貫通孔の第1の利用形態を例示する斜視図である。

【図21】メモリカードに形成した貫通孔の第2の利用形態を例示する斜視図である。

【図22】図21のメモリカードをPCカードアダプタに装着する操作を示す説明図である。

【図23】メモリカードに保護カバーを設けた例を示す斜視図である。

【図24】保護カバーを設けたメモリカードの保管状態を例示する斜視図である。

【図25】図23のメモリカードをPCカードアダプタに装着する操作を示す説明図である。

【図26】メモリカードのケーシングに案内部を設けた第1の例を示す説明図である。

【図27】メモリカードのケーシングに案内部を設けた第2の例を示す説明図である。

【図28】メモリカードの属性情報をシールを貼って表示するメモリカードの例を示す斜視図である。

【図29】メモリカードの属性情報をケーシングへの印刷で表示するメモリカードの例を示す斜視図である。

【図30】メモリカードの挿入方向を示す支持記号をケーシングに凹陥形成で表示するメモリカードの例を示す斜視図である。

【図31】シール方式によるライトプロテクト解除状態を示す説明図である。

【図32】シール方式によるライトプロテクト状態を示す説明図である。

【図33】爪方式によるライトプロテクト解除状態を示す説明図である。

【図34】爪方式によるライトプロテクト状態を示す説明図である。

【図35】フラッシュメモリチップの構成を例示するブロック図である。

【図36】フラッシュメモリチップ用の不揮発性メモリセルランジスタの構造を概略的に示す断面図である。

【符号の説明】

MC1~MC6 メモリカード

1、1A~1E カード基板

2 コネクタ端子

2A 面取部分を有するコネクタ端子

3 接続パッド

4 フラッシュメモリチップ

4Pk コントローラインタフェース端子

5 コントローラチップ

5Pi コネクタインタフェース端子

5Pj メモリインタフェース端子

7、8、9、11 ボンディングワイヤ

10 テスト端子

10a 制御端子

12 ケーシング

20、21、22 カードソケット

20A、21A、22A ソケット端子

30 カードインタフェースコントローラ

31 ホスト装置

40 貫通孔

41 座ぐり部分

51 保護カバー

62 案内部

67 文字情報

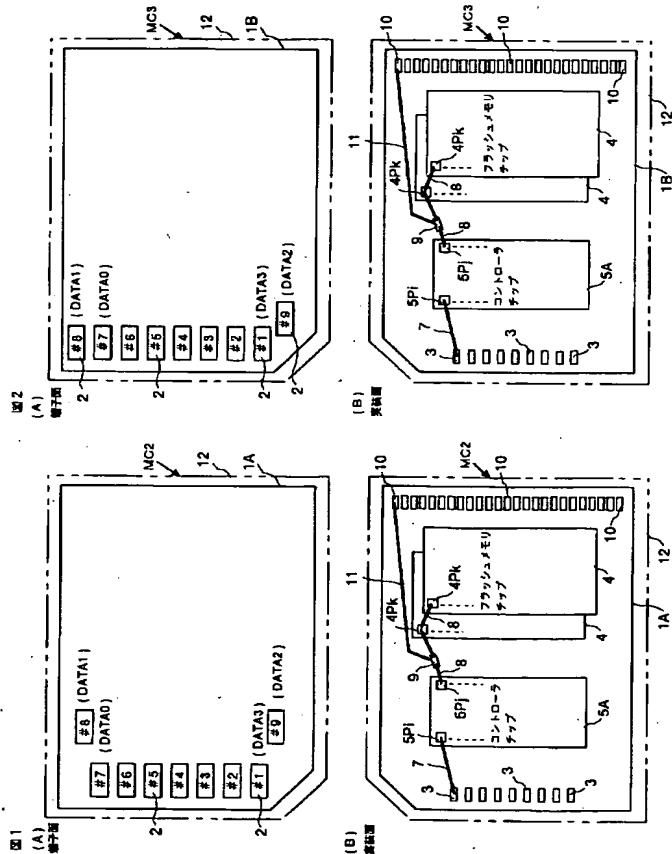
68 指示記号

70 溝

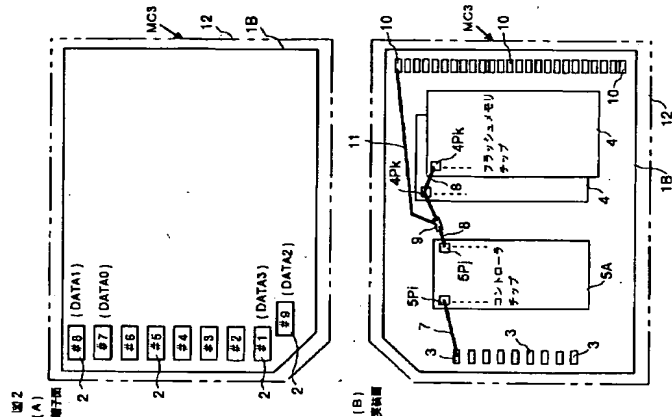
71 シール

73 爪

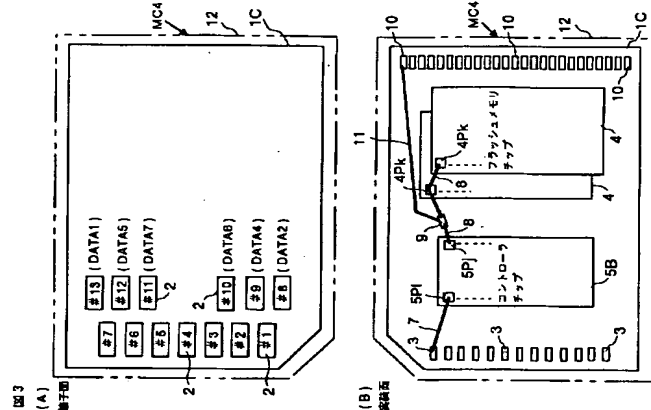
【図1】



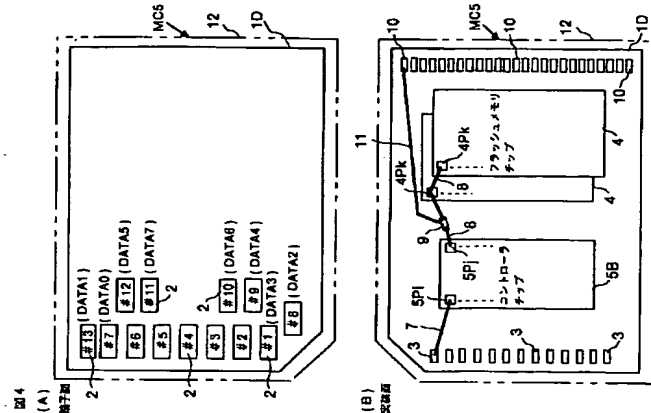
【図2】



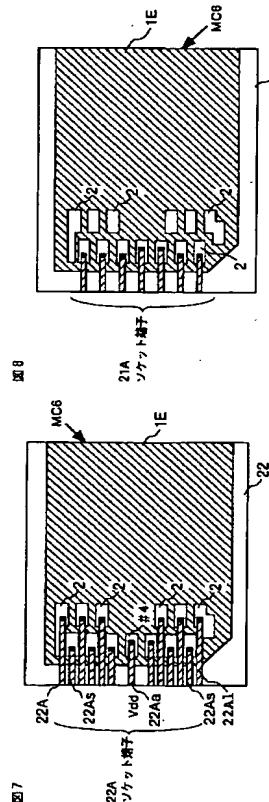
【図3】



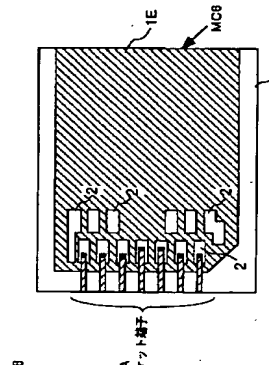
【図4】



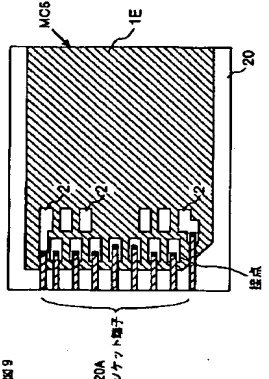
【図7】



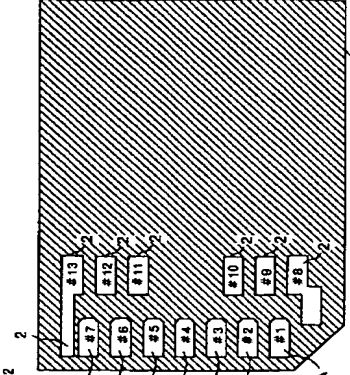
【図8】



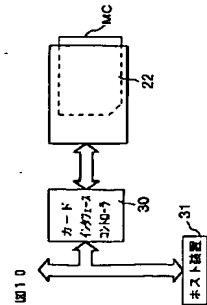
【図9】



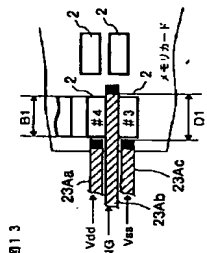
【図12】



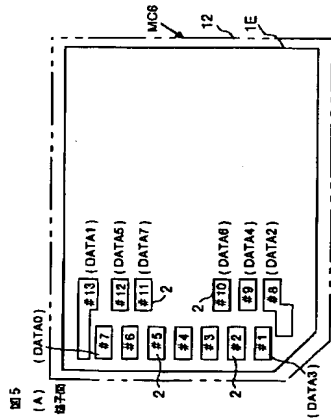
【図10】



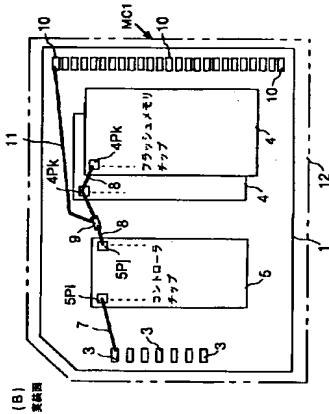
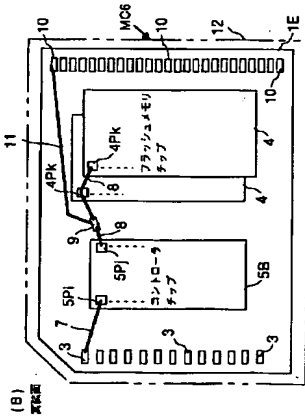
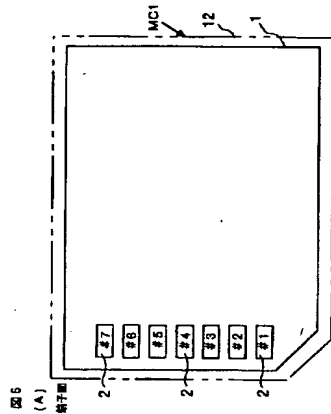
【図13】



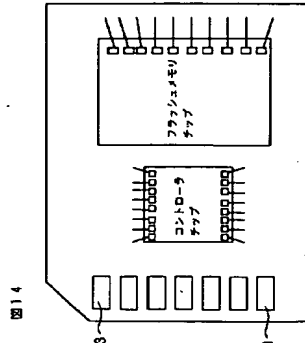
【図5】



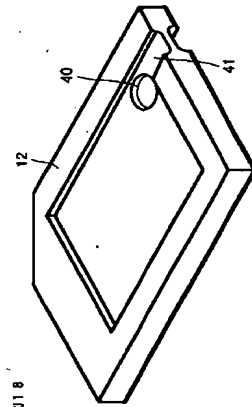
【図6】



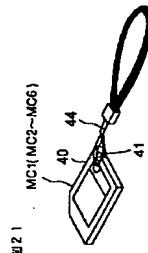
【図14】



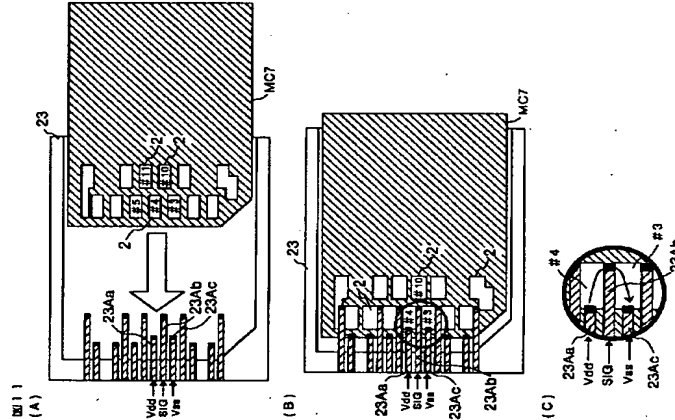
【図18】



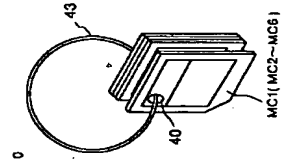
【図21】



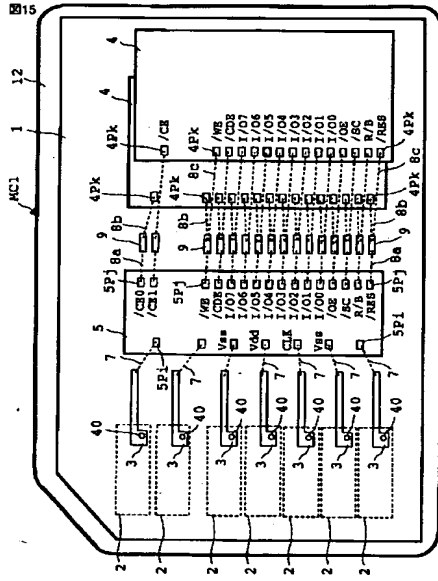
【図11】



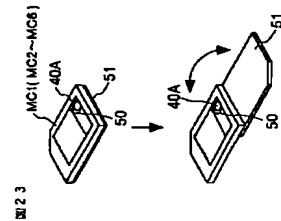
【図20】



【図15】



【図23】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第3区分
【発行日】平成17年2月17日(2005. 2. 17)

【公開番号】特開2001-209773(P2001-209773A)
【公開日】平成13年8月3日(2001. 8. 3)
【出願番号】特願2000-18030(P2000-18030)
【国際特許分類第7版】

G06K 19/077
B42D 15/10
G06K 19/073
【FI】
G06K 19/00 L
B42D 15/10 521
G06K 19/00 P
G06K 19/00 K

【手続補正書】
【提出日】平成16年3月8日(2004. 3. 8)
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】

半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングから露出するICカードであって、前記コネクタ端子は第1および第2の端子列が、ICカード挿入方向の前後に隣合う形かつ列相互間で前記端子列の配列方向にずらされて千鳥状に配置されて成り、前記第1の端子列は電源電圧供給用のコネクタ端子を有し、前記第2の端子列は、前記電源電圧供給用のコネクタ端子に隣接する部分と、前記電源電圧供給用のコネクタ端子の両サイドにある端子間領域に隣接する部分に、端子間領域を有することを特徴とするICカード。

【請求項2】
半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングから露出するICカードであって、前記コネクタ端子はICカード挿入方向の前後に形成された第1および第2の端子列を有し、第1の端子列に配置されたコネクタ端子の端子間領域の配列と第2の端子列に配置されたコネクタ端子の端子間領域の配列とが列方向で相互にずらされて成り、前記第1の端子列は電源電圧供給用のコネクタ端子を有し、前記第2の端子列は、前記電源電圧供給用のコネクタ端子に隣接する部分と、前記電源電圧供給用のコネクタ端子の両サイドにある端子間領域に隣接する部分に、端子間領域を有することを特徴とするICカード。

【請求項3】
半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケージングから露出するICカードであって、前記コネクタ端子はICカード挿入方向の前後に形成された第1および第2の端子列を有し、第1の端子列に配置されたコネクタ端子の列方配置と第2の端子列に配置されたコネ

前記第1の端子列は電源電圧供給用のコネクタ端子を有し、前記第2の端子列は、前記電源電圧供給用のコネクタ端子に隣接する部分と、前記電源電圧供給用のコネクタ端子の両サイドにある端子間領域に隣接する部分に、端子間領域を有することを特徴とするICカード。

【請求項4】
前記第2の端子列に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第1の端子列に配置されコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在され、
前記第2の端子列に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第1の端子列に配置されコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在されて成るものであることを特徴とする請求項2又は3記載のICカード。

【請求項5】
前記コネクタ端子は2個の接地電圧供給用端子、及び1個のクロック信号入力用端子を含むことで成るものであることを特徴とする請求項1乃至4記載の何れか1項記載のICカード。
【請求項6】
前記コネクタ端子は、4ビット分のデータ用端子を含み、全部で9個設けられて成るものであることを特徴とする請求項5記載のICカード。

【請求項7】
前記コネクタ端子は、8ビット分のデータ用端子を含み、全部で13個設けられて成るものであることを特徴とする請求項5記載のICカード。

W2182-EM



US 6,945,465 B2
Date of Patent: Sep. 20, 2005

U.S. Patent Sep. 20, 2005 Sheet 1 of 27 US 6,945,465 B2

United States Patent
Nishizawa et al.

(54) INTEGRATED CIRCUIT CARD HAVING STAGGERED SEQUENCES OF CONNECTOR TERMINALS

(75) Inventors: Hiroaki Nishizawa, Fuchu (JP); Haruji Ishihara, Kawaguchi (JP); Atsushi Shirasaka, Kodaira (JP); Koutchi Kanemoto, Koganei (JP); Yousuke Yukawa, Kokubunji (JP)

(73) Assignee: Hitachi, Ltd., Tokyo (JP)

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 930 days.

(21) Appl. No.: 09/756,867

(22) Filed: Jan. 10, 2001

(65) Prior Publication Data US 2001/0009505 A1 Jul. 26, 2001

(30) Foreign Application Priority Data Jan. 25, 2000 (JP) 2000-018030

(51) Int. Cl.⁷ G06K 19/06

(52) U.S. Cl. 235/492, 902/26, 361/737, 361/822, 439/60

(58) Field of Search 361/737, 42, 763, 764, 822, 257/679, 174/255, 340/732, 439/180, 630, 60, 902/25, 26

(56) References Cited

U.S. PATENT DOCUMENTS

4,532,419 A • 7/085 Takeda 235/492

4,695,914 A • 9/087 Onishi et al. 361/42

4,780,003 A • 10/088 Hamada 235/492

4,994,243 A • 12/088 Hamada 235/492

5,263,057 A • 2/194 Murohara 235/492

OTHER PUBLICATIONS

"The MultiMediaCard", The MultiMediaCard System, Summary Version 2.2, Jan., 2000 MMCA.

* cited by examiner

Primary Examiner—Jared J. Furman

(74) Attorney, Agent, or Firm—Miles & Stockbridge P.C.

(57) ABSTRACT

An IC card has a card substrate having semiconductor integrated circuit chips mounted thereon and a plurality of connector terminals formed thereon. The connector terminals are exposed from a casing. The connector terminals are laid out in plural sequences in staggered form between sequences adjacent to one another forward and backward as viewed in an IC card inserting direction. Owing to the adoption of the staggered layout, a structure or configuration wherein the amounts of protrusions of socket terminals of a card socket are changed and the socket terminals are laid out in tandem, can be adopted with relative ease. If a connector terminal arrangement of a downward or low-order IC card is adopted as a specific connector terminal sequence as it is, whereas a function dedicated for an upward or high-order IC card is assigned to another staggered connector terminal arrangement, then backward compatibility can also be implemented with ease.

8 Claims, 27 Drawing Sheets

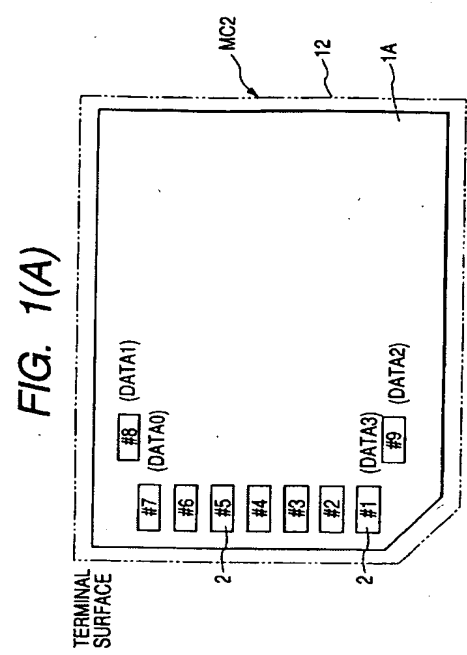


FIG. 1(A)

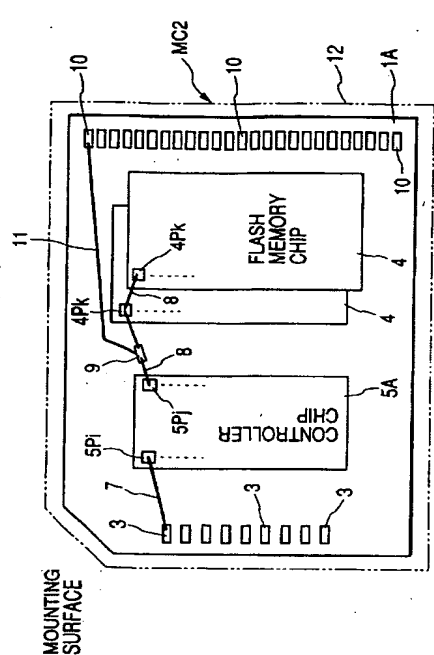


FIG. 1(B)

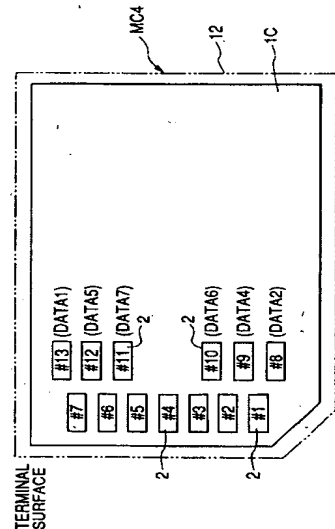


FIG. 1(C)

FIG. 2(A)

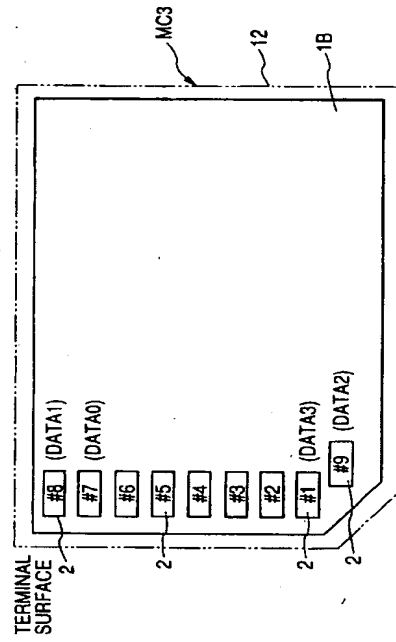


FIG. 2(B)

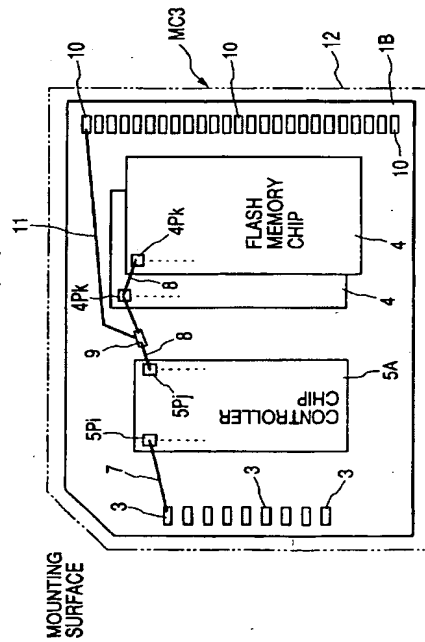


FIG. 3(A)

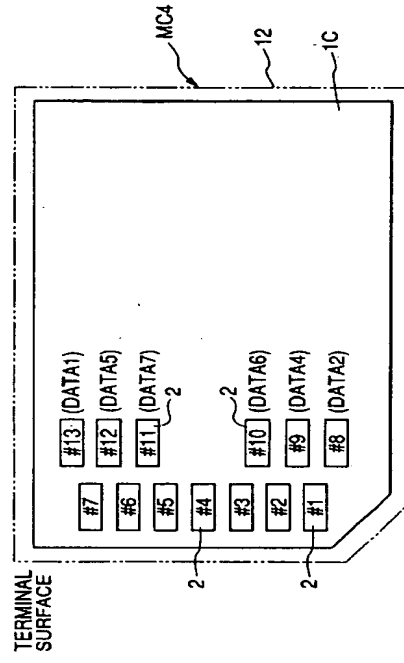


FIG. 3(B)

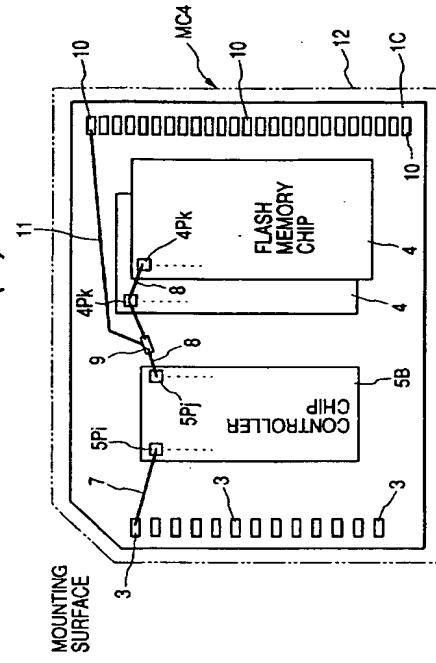


FIG. 4(A)

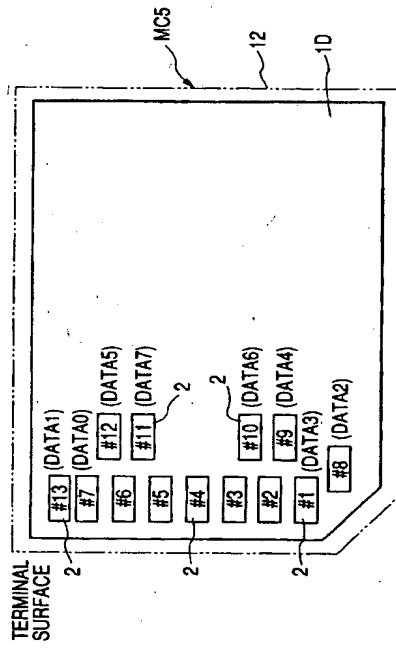


FIG. 4(B)

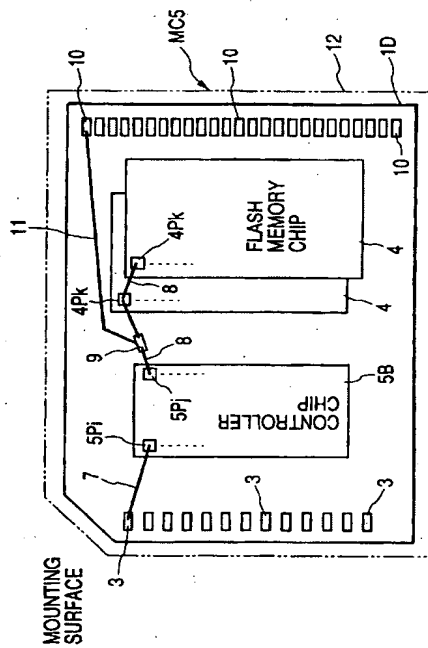


FIG. 5(A)

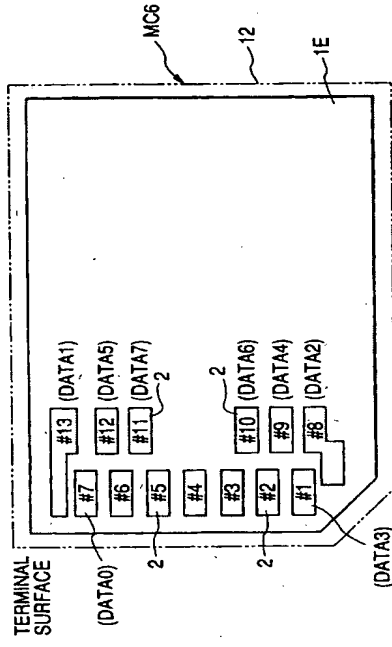


FIG. 5(B)

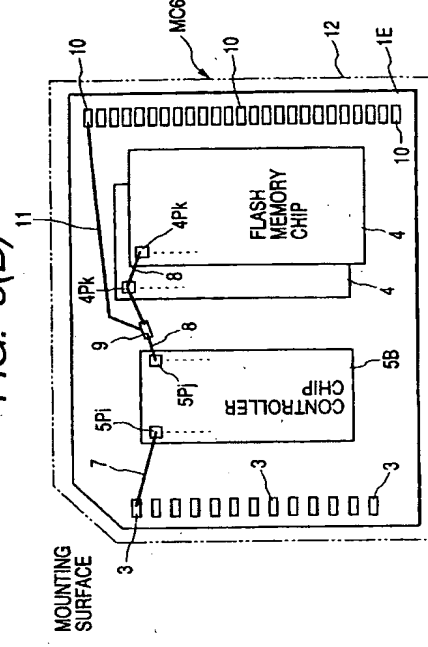


FIG. 6(A)

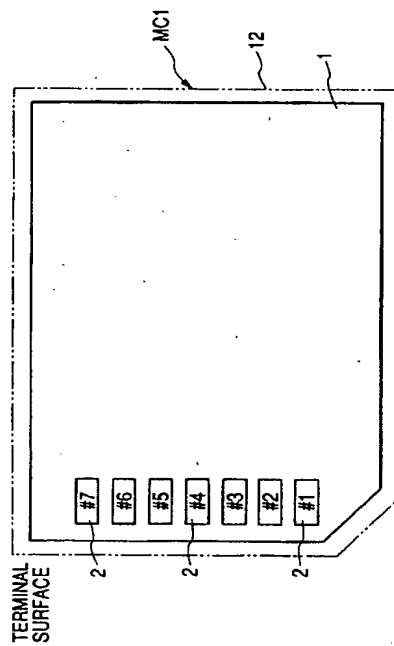


FIG. 6(B)

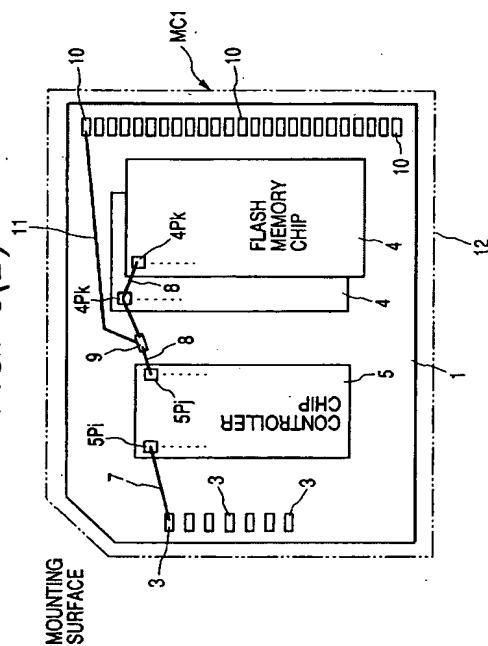


FIG. 7

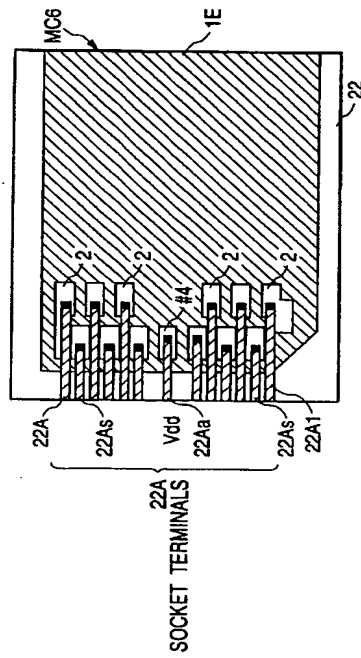


FIG. 8

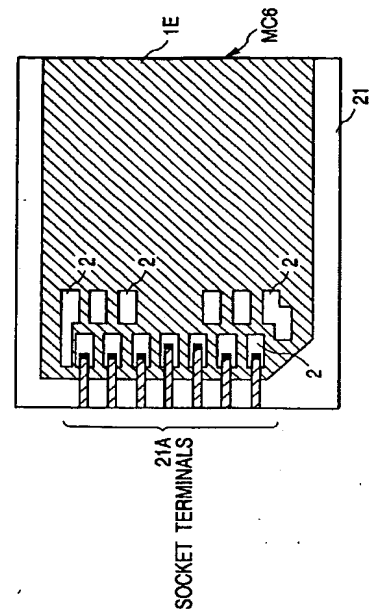


FIG. 9

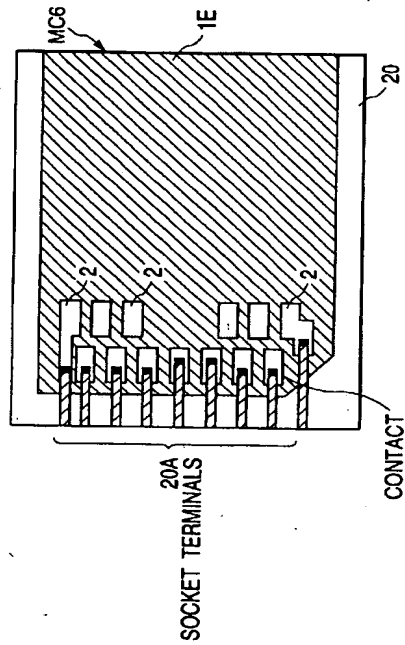


FIG. 10

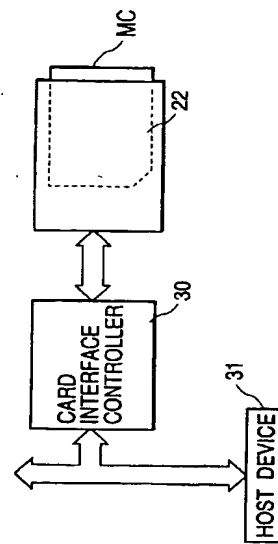


FIG. 11(A)

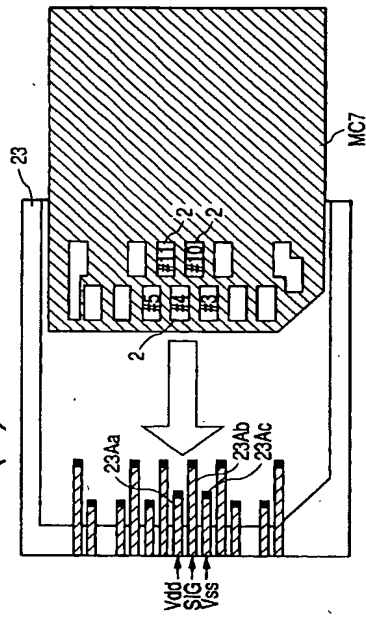


FIG. 11(B)

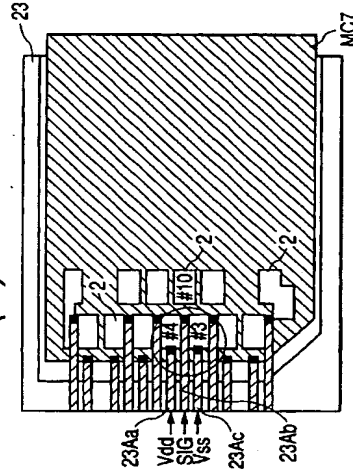


FIG. 11(C)

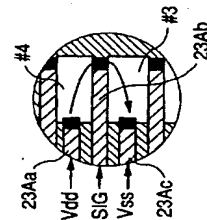


FIG. 12

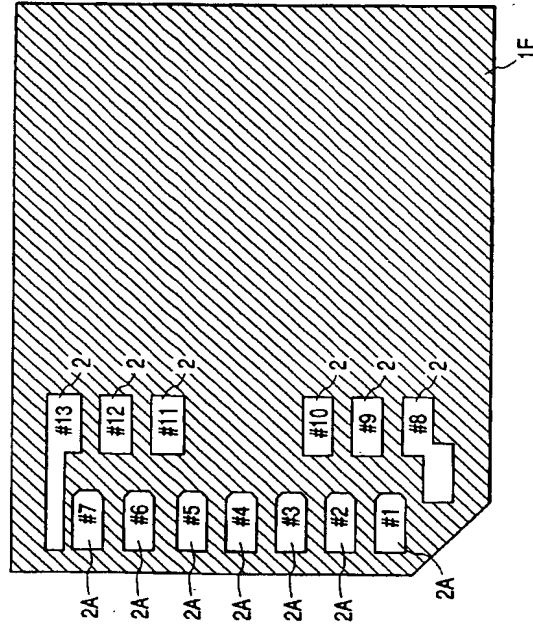


FIG. 13

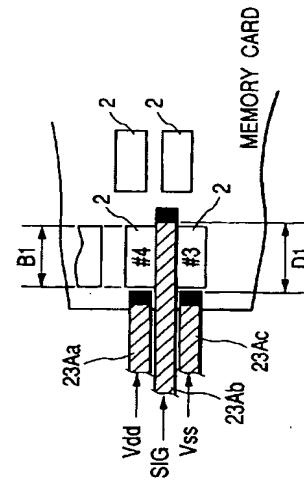
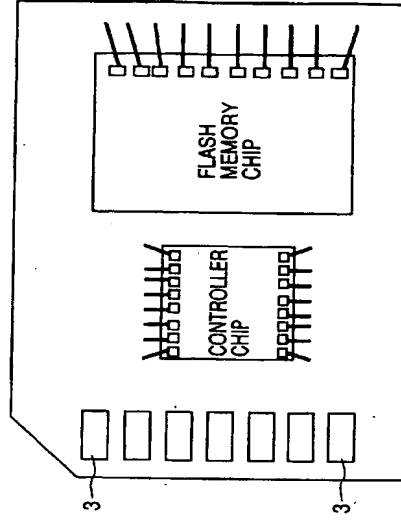
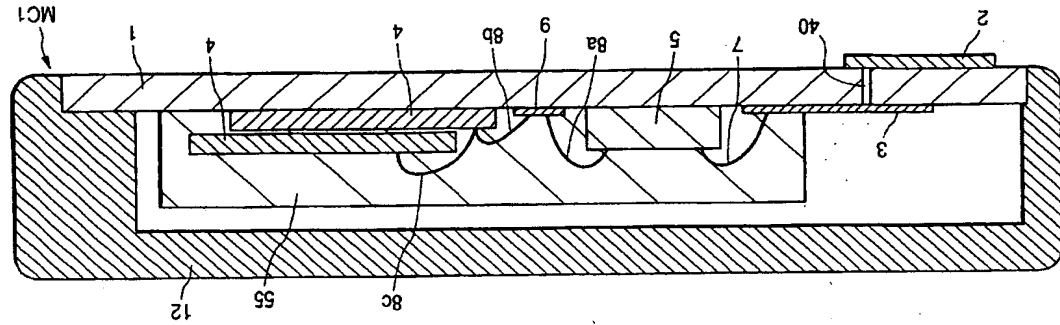
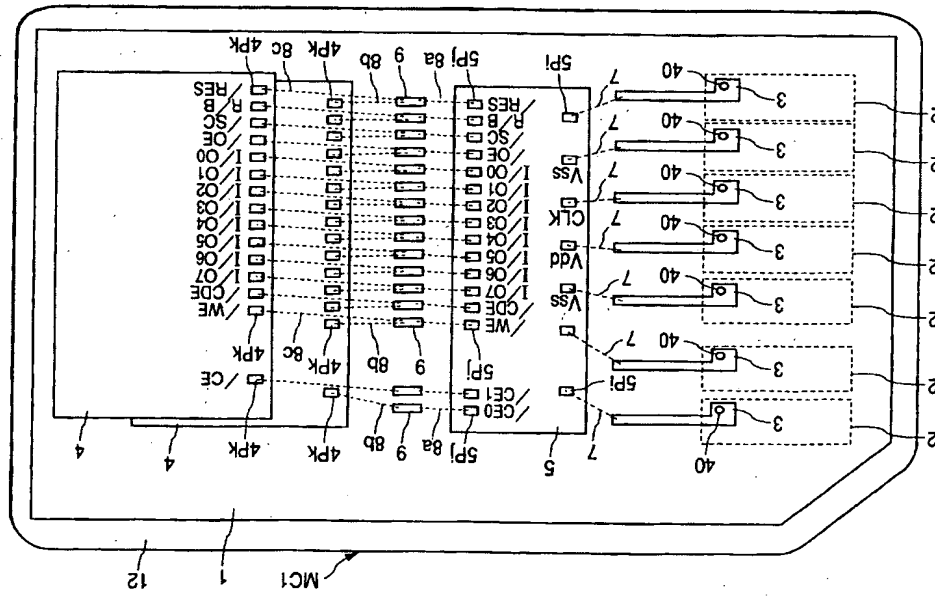


FIG. 14





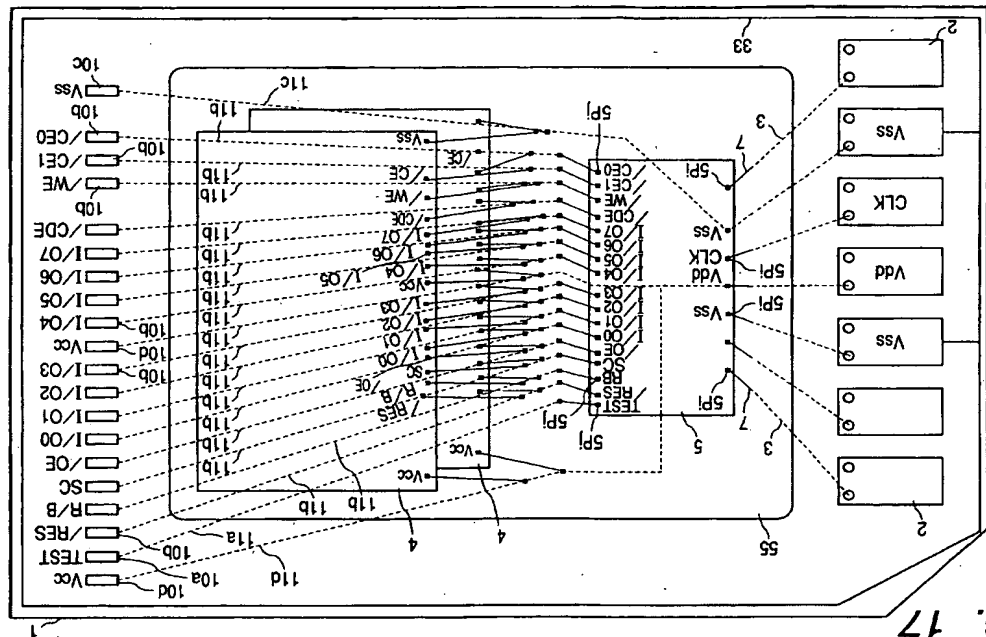


FIG. 17

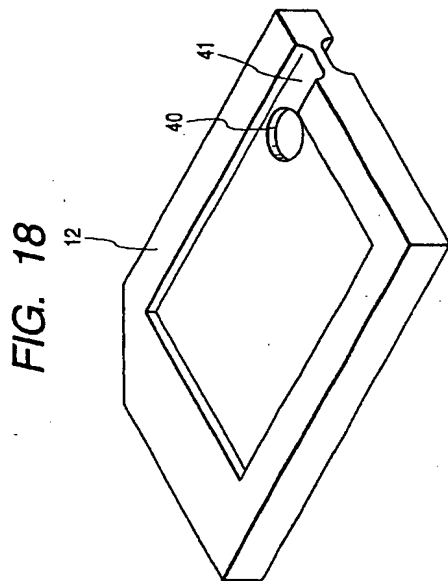


FIG. 18

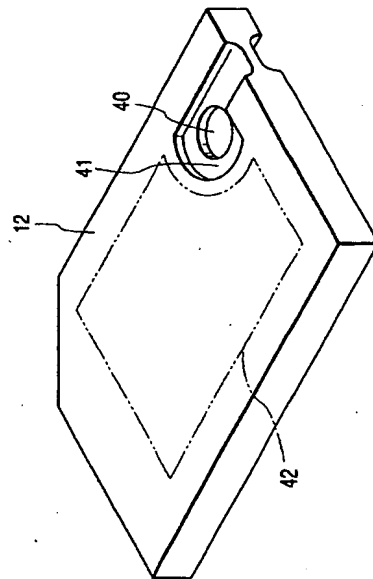


FIG. 19

FIG. 20

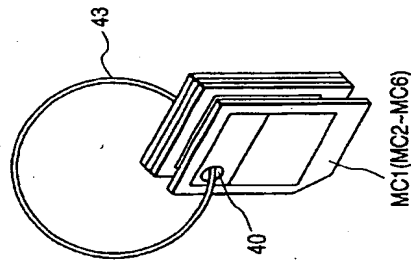


FIG. 21

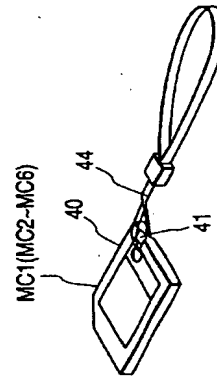


FIG. 22(A)

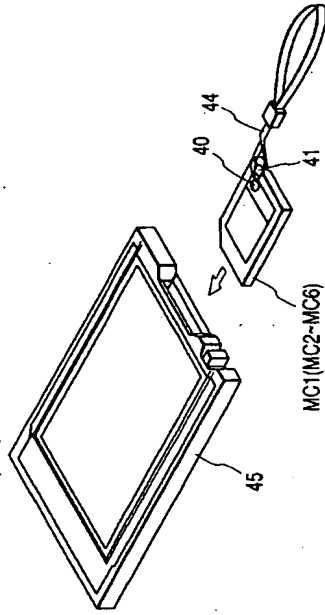


FIG. 22(B)

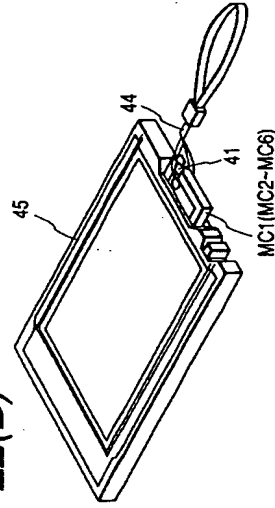


FIG. 22(C)

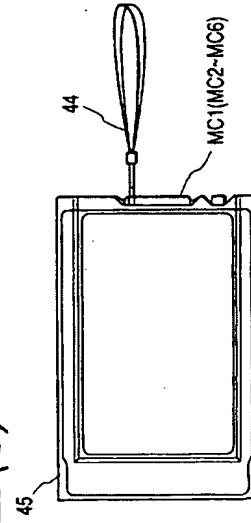


FIG. 23

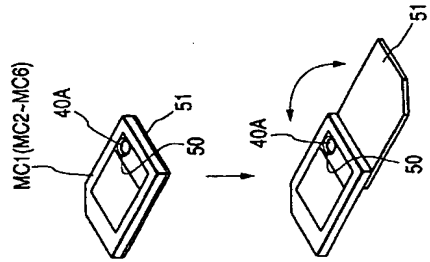


FIG. 24

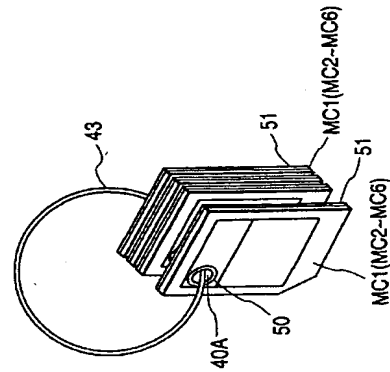


FIG. 25(A)

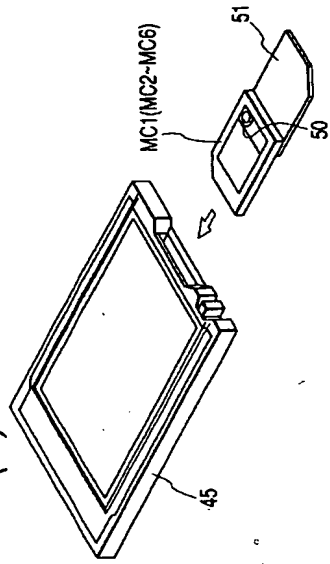


FIG. 25(B)

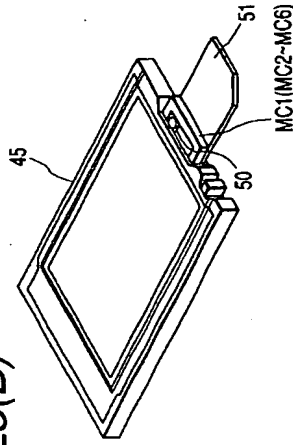


FIG. 25(C)

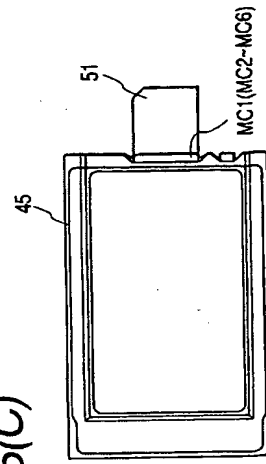


FIG. 26(B)

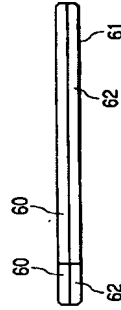


FIG. 27(B)

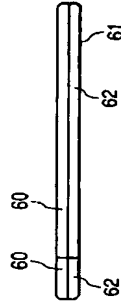


FIG. 26(C)

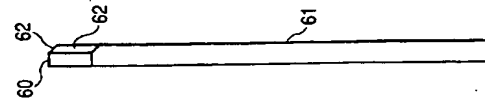


FIG. 26(A)

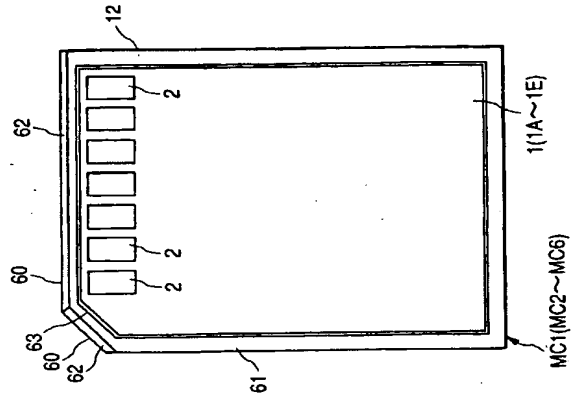


FIG. 27(C)

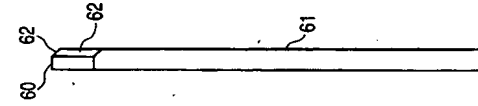
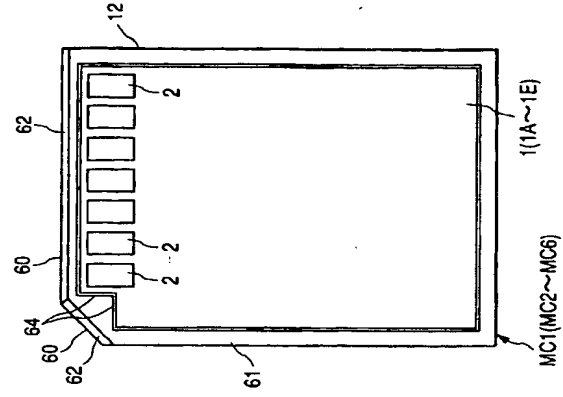


FIG. 27(A)



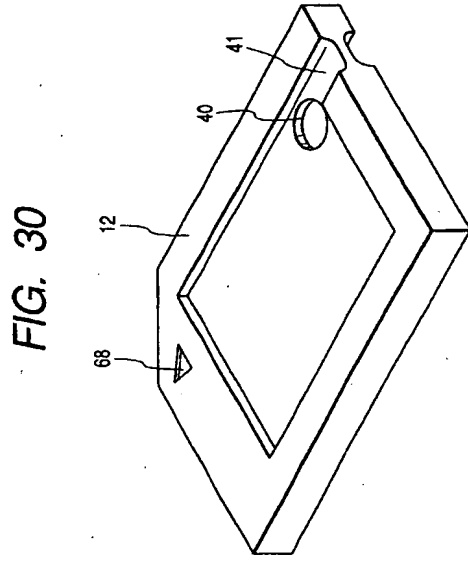
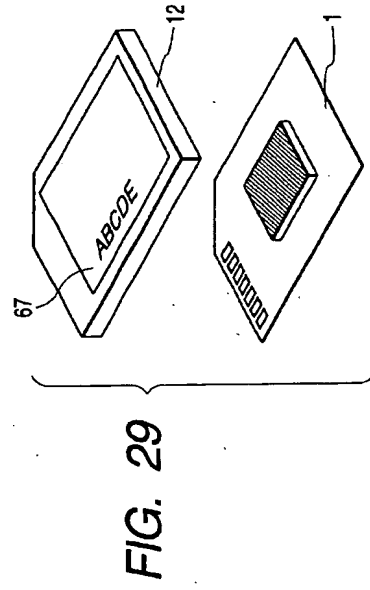
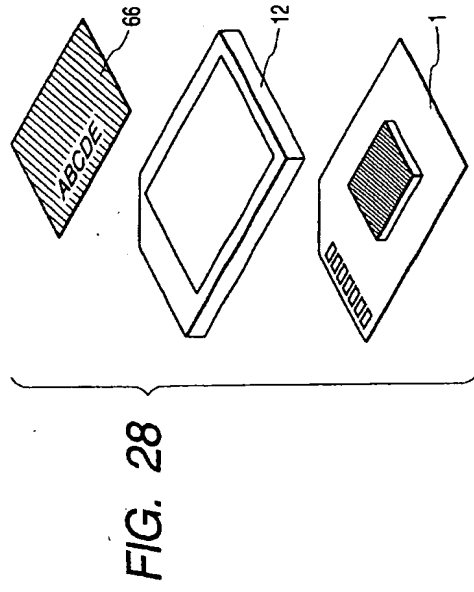


FIG. 31(A)

FIG. 31(B)

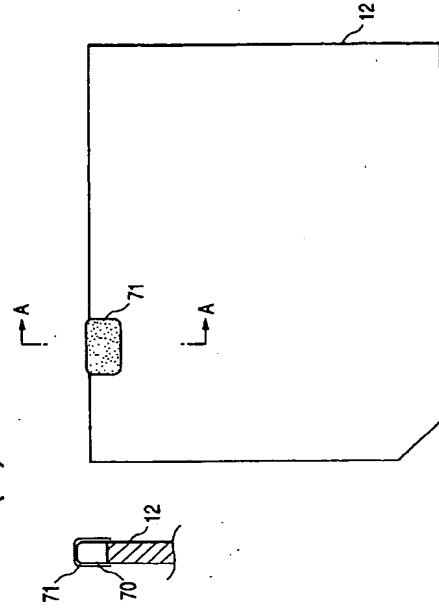


FIG. 32(A)



FIG. 32(B)

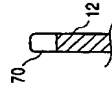


FIG. 33(B)

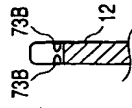


FIG. 33(A)

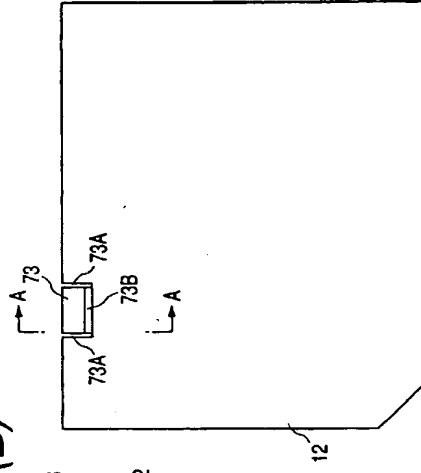


FIG. 34(B)

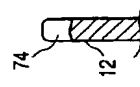


FIG. 34(A)

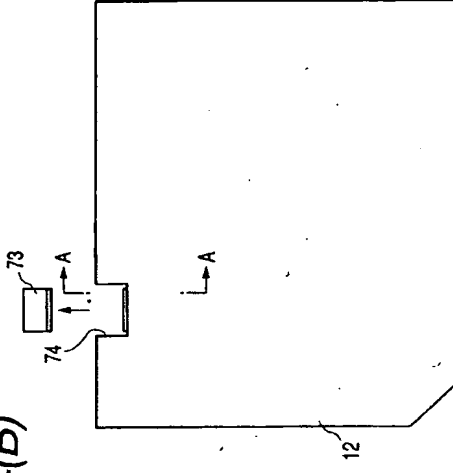


FIG. 35

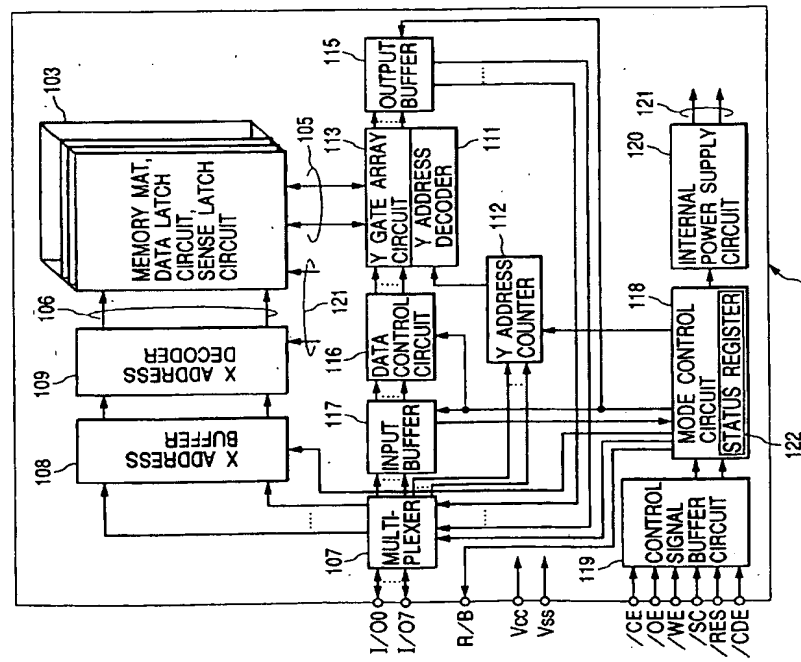
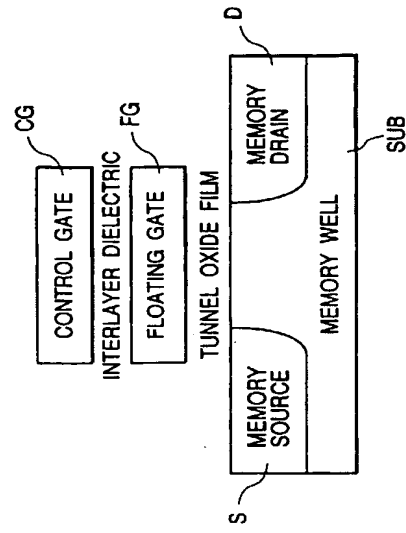


FIG. 36



INTEGRATED CIRCUIT CARD HAVING STAGGERED SEQUENCES OF CONNECTOR TERMINALS

BACKGROUND OF THE INVENTION

The present invention relates to a technology for improving compatibility related to an arrangement and functions of connector terminals for an IC card, and a technology for a technology effective for application to a compatible memory card such as a multi media card (Multi Media Card).

There has been provided a memory card having implemented reductions in size and weight and the simplification of an interface, such as a multi media card or the like aimed to perform, for example, the transfer of information between cellular phone and digital network device. As described in, for example, the System Summary issued from the Multi Media Card Association, the multi media card has seven connector terminals as external interface terminals and adopts a serial interface. As compared with an ATA interface adopted by a PC card or hard disk, it can lighten a load on a host system and can be used even in a simpler system.

Further, an SD card has been proposed as an upward compatible memory card like a multi media card, which adopts a serial interface and has nine connector terminals.

SUMMARY OF THE INVENTION

The present inventors have carried out various discussions about compatibility, function expansion, an improvement in reliability, etc. with respect to a multi media card.

The shapes and layout of connector terminals for a multi media card or the like have finally been discussed. A point of difference between interface specifications of each individual memory card is reflected on the shapes and layout of the connector terminals of the card. Further, the point of difference is reflected on each socket terminal of a card socket. Thus, it has been revealed by the present inventors that if there is no commonality between arrangements and shapes of connector terminals even if there is consistency between the size and thickness of each casing, it is difficult to implement compatibility and upward compatibility among the memory cards.

It is secondarily estimated that a serial interface is not capable of obtaining a data input/output rate necessary for data processing as compared with the PC card or compact flash card or the like which adopts the ATA interface. In order to cope with it, the number of connector terminals for data input/output must be increased. At that time, the compatibility should be taken into consideration from the above point of view.

Thirdly, the present inventors have found out the need for contrivances for avoiding the occurrence of a power-on-power short in any relative position between connector terminals of an IC card and socket terminals of a card socket when the IC card is inserted into the card socket, where it is desired to increase the number of the connector terminals while the size of the IC card remains unchanged.

Fourthly, an IC card which is small and thin as compared with a PC card needs a contrivance in which forms such as storage of the IC card, carrying thereof, its shipment, etc. are taken into consideration.

Fifthly, a thin memory card such as a multi media card is hard to obtain a space for adopting a mechanical shutter mechanism for selectively exposing connector terminals.

Thus, there is a possibility that when a finger or the like directly touches the connector terminals upon detachment and carrying of the multi media card, electrostatic discharge damage will occur according to a surge exceeding resistance to ESD protection of an mounted semiconductor integrated circuit chip. The multi media card is expected to be singly carried or often detached from a host device. Thus, the present inventors have found out the utility for the enhancement of prevention of the electrostatic discharge damage.

Slightly, consideration taken to avoid the connection of wiring patterns and that of bonding wires so as not to cause malfunctions due to an undesired leak on a signal line since a free space on a card substrate is reduced due to an improvement in the function of an IC card and an increase in the number of connector terminals, leads to an improvement in the reliability of the IC card.

An object of the present invention is to improve usability and reliability of an IC card.

Another object of the present invention is to provide an IC card which is easy to implement compatibility related to an arrangement and functions of connector terminals.

A further object of the present invention is to provide an IC card which is hard to cause a power-to-power short upon loading in a card socket.

A still further object of the present invention is to provide an IC card which is capable of avoiding compaction of wiring patterns and that of bonding wires.

A still further object of the present invention is to provide an IC card which is capable of blocking the inflow of surges from connector terminals by a simple structure.

The above, other objects and novel features of the present invention will become apparent from the description of the present specification and the accompanying drawings.

Summaries of typical ones of the inventions disclosed in the present application will be explained in brief as follows:

When it is desired to add data terminals or the like to specific specifications of a connector terminal arrangement and implement upward compatibility, an arrangement of connector terminals needs to make allowance for making it possible to support or cope with even downward compatibility (e.g., compatibility that a high-order or upward IC card can be utilized by being inserted into a socket of a low-order or downward IC card) together with upward compatibility (e.g., compatibility that a low-order or downward IC card can be utilized by being inserted into a card socket of a high-order or upward IC card) having specifications related to the high-order IC card.

An IC card based on the above point of view has a card substrate having at least one semiconductor integrated circuit chip mounted thereon and a plurality of connector terminals formed thereon. The connector terminals are exposed from a casing. The connector terminals are laid out in plural sequences in staggered form between the sequences adjacent to one another forward and backward as viewed in an IC card inserting direction.

If another expression is made to the staggered layout, then the connector terminals include an arrangement of two rows or sequences formed back and forth as viewed in an IC card inserting direction. Further, an arrangement of terminal-to-terminal areas of connector terminals laid out in a first sequence and an arrangement of terminal-to-terminal areas of connector terminals laid out in a second sequence are shifted from each other as viewed in a sequence direction.

If a further expression is made to the staggered layout, then the connector terminals include an arrangement of two

sequences formed back and forth as viewed in an IC card inserting direction. Further, a sequence-directional layout of connector terminals laid out in a first sequence, and a sequence-directional layout of connector terminals laid out in a second sequence are shifted from each other as viewed in a sequence direction.

Owing to the adoption of a plural-sequence layout of a form typified by staggered fashion, a structure or configuration wherein the amounts of protrusions of socket terminals of a card socket are changed and the socket terminals are laid out in tandem, can be adopted with relative ease for the arrangement of a connector terminals. If a connector terminal arrangement of a downward or low-order IC card is adopted as a specific connector terminal sequence as it is, whereas a function dedicated for an upward or high-order IC card is assigned to another staggered connector terminal arrangement, then such backward compatibility that the upward IC card can be utilized by being mounted in a card slot of the downward IC card, can also be implemented with ease.

It is assumed that when it is desired to make a plan to achieve compatibility among three generations or later of connector terminals of a first IC card, an arrangement of connector terminal sequence corresponding to a first sequence as it is, whereas a function dedicated for a second IC card is assigned to a connector terminal sequence corresponding to another staggered second sequence, and a function dedicated for a third IC card is assigned to both the specific terminal sequence, corresponding to the first sequence and the connector terminal sequence corresponding to the second sequence. At this time, consideration is given to the implementation of upward compatibility and downward compatibility between the second IC card and the third IC card. To this end, a configuration is adopted wherein the connector terminal at one end extending in a sequence direction, of the connector terminals laid out in the second sequence extends to a position where it adjoins the connector terminal as viewed in the sequence direction, at one end extending in the sequence direction, of the connector terminal laid out in the first sequence, and the connector terminal at the other end extending in the sequence direction, of the connector terminals laid out in the second sequence extends to a position where it adjoins the connector terminal as viewed in the sequence direction, at the other end extending in the sequence direction, of the connector terminals laid out in the first sequence.

According to it, the first through third IC cards are capable of easily implementing compatibility mutually available even to a slot of any of other IC cards by being inserted therein.

If consideration is given to a multi media card or the like at the present situation, while specific functions of the connector terminals are optional, then the connector terminals may include one source voltage supply terminal, two ground voltage supply terminals, and one clock signal input terminal.

When consideration is given to an increase in a data input/output rate while a data terminal is one bit, the multi media card may adopt, for example, a configuration in which data terminals corresponding to four bits are provided and the connector terminals are provided as nine in total, or a configuration wherein data terminals corresponding to eight bits are provided and the connector terminals are provided as thirteen in total.

When it is desired to implement compatibility with a memory card having a data terminal corresponding to one

bit on the assumption of, for example, an IC card having the nine connector terminals referred to above, a configuration is considered in which the semiconductor chip has a controller chip connected to the connector terminals, and the controller chip has a one-bit mode using one bit of the data terminals of the four bits, the mode being set in response to the state of a predetermined connector terminal or the state of an input from the predetermined connector terminal, and a four-bit mode used to perform four-bit parallel input/output using the four-bit data terminals.

Similarly, when it is desired to implement compatibility with memory cards having data terminals corresponding to one bit and four bits under the assumption of an IC card having the thirteen connector terminals, the controller chip may be provided with a one-bit mode using one bit of the data terminals corresponding to the eight bits, the mode being set in response to the state of a predetermined connector terminal or the state of an input from the predetermined connector terminal, a four-bit mode which is used to perform four-bit parallel input/output using four bits of the eight-bit data terminals, and an eight-bit mode which is used to perform eight-bit parallel input/output using the data terminals corresponding to the eight bits.

Suppose a data processing system makes available any of an IC card having only the one-bit mode, an IC card having only the four-bit mode, and an IC card capable of selecting the one-bit mode and the four-bit mode. The data processing system has a card socket in which the IC card capable of selecting the one-bit mode and four-bit mode is applicable. The card socket includes a plurality of socket terminals respectively connected to connector terminals of the mounted IC card. Further, the data processing system has a one-bit mode or four-bit mode to the IC card through the socket terminals. The card interface controller is placed under the control of a host control device.

Suppose a data processing system makes available any of an IC card having only the one-bit mode, an IC card only the four-bit mode, an IC card having the eight-bit mode, an IC card capable of selecting the one-bit mode or four-bit mode, and an IC card capable of selecting the one-bit mode, the four-bit mode or eight-bit mode. The data processing system has a card socket in which the IC card capable of selecting the one-bit mode, four-bit mode or eight-bit mode can be applicable. The card socket includes a plurality of socket terminals respectively connected to connector terminals of the mounted IC card. The data processing system has a card interface controller capable of selectively setting the one-bit mode, four-bit mode or eight-bit mode to the IC card through the socket terminals. The card interface controller is placed under the control of a host control device.

When supposing a memory card as the IC card, if a single or plural, e.g., electrically reconfigurable non-volatile memory chips connected to the controller chip are further provided as the semiconductor chips, then the controller chip has a memory control function for controlling a read/write operation with respect to the single or plural non-volatile memory chips in accordance with instructions given from outside. The non-volatile memory chip may be a ROM (Read Only Memory). Further, the non-volatile memory may be replaced with a RAM (Random Access Memory) according to use.

If data security is taken into consideration, then the controller chip may further be provided with a security function for encoding data written into each non-volatile memory chip referred to above, and decoding the data read from the non-volatile memory chip.

memory chip may be placed regularly in their arrangement directions. It is not necessary to adapt wirings which bypass each chip and are filled completely.

The connecting pads may be electrically connected to their corresponding connector terminals of the memory chip through bonding wires. Further, the memory interface terminals of the controller chip may be connected to their corresponding controller interface terminals of each memory chip through bonding wires. According to it, each wiring layer of the card substrate can be simplified, thus making it possible to contribute to a cost reduction.

Through holes each of which extends through the front and back of a casing of each of relatively small and thin memory cards such as a multi media card, may be defined in the casing to improve the storage of the memory cards and their handling performance. It is easy to store and carry the IC card if a ring is put through the through holes. A strap may be drawn through its corresponding through hole.

A terminal protective cover which is pivoted about the through hole and covers the connector terminals in a state of being superimposed on the casing, may be provided. Since the protective cover is capable of restraining a situation that one touches the connector terminals carelessly, the prevention of electrostatic discharge damage of each semiconductor integrated circuit device mounted in an IC card can be enhanced from this point of view.

In order to make efficient tests about each post-mounting semiconductor integrated circuit chip, test terminals connected to the controller chip and the memory chips may be provided on the card substrate with the memory chips and controller chip mounted therein. Since it is better to avoid over-exposure of the test terminals after they have been assembled into their corresponding casing, the test terminals may be formed on the surface on the side opposite to the connector terminal forming surface of the card substrate from this point of view. If there is provided a control terminal for supplying a control signal for controlling each memory interface terminal of the controller chip to a high impedance state to the controller chip, then the memory chips can also be tested singly with ease using the test terminals.

Attribute information or the like about an IC card is normally displayed on the IC card as in the case of storage capacity or the like of a memory card. Applying a seal onto a casing may do such indication of information. However, when a reduction in the number of parts and the like are taken into consideration, required character information may be printed on the surface of the casing or concavely formed on the surface of the casing.

An indication mark indicative of the direction of insertion of an IC card into a card socket may be printed on the surface of the casing or concavely formed on the surface thereof.

BRIEF DESCRIPTION OF THE DRAWINGS

While the specification concludes with claims particularly pointing out and distinctly claiming the subject matter which is regarded as the invention, it is believed that the invention, the objects and features of the invention and further objects, features and advantages thereof will be better understood from the following description taken in connection with the accompanying drawings in which:

FIG. 1(A) is an explanatory view showing a terminal surface of an upward compatible memory card in which data terminals are set to four bits with respect to a multi media card;

FIG. 1(B) is an explanatory view illustrating a mounting surface of the upward compatible memory card in which the data terminals are set to the four bits with respect to the multi media card;

When a connector terminal for the supply of a source voltage is placed in a connector terminal sequence corresponding to a first sequence as viewed in an IC card inserting direction, a terminal-to-terminal area is formed in a connector terminal sequence corresponding to a second sequence at positions adjacent to the connector terminal for the source voltage supply. There is a possibility that if other connector terminals adjacent to the connector terminal for the source voltage supply are placed in the connector terminal sequence corresponding to the second sequence in staggered form, then socket terminals of a card socket, which are assigned to other connector terminals, will make contact with both the source supply connector terminal and other connector terminals located ahead thereof before they reach other connector terminals. There is a possibility that if a source socket terminal is already in contact with the connector terminal for the source voltage supply in this state, then a power-to-power short will occur. If a structure or configuration is adopted in which the terminal-to-terminal areas are laid out, it is then unnecessary to take measures for increasing a sequence-to-sequence distance between the first sequence and second sequence of the connector terminals and narrowing the width of each connector terminal.

For the purposes similar to above, connector terminal for the source voltage supply in which broad terminal-to-terminal distance is set to portions where connector terminal sequence corresponding to a second sequence, may be provided in a connector terminal sequence corresponding to a first sequence as viewed in an IC card inserting direction.

When an IC card is inserted into its corresponding card socket, contacts of socket terminals are first brought into contact with a leading end of the IC card. Thus, there is a possibility that a leading end of a casing for the IC card will deform or crack with time. There is also a possibility that bending will occur in each socket terminal in reverse. In order to avoid it, a guide portion formed by a slant surface or circular arc extending from a leading edge portion extending at a front end in an IC card inserting direction to a connector terminal forming surface of the casing is formed in the casing for the IC card. The slant surface or circular arc of the guide portion is set larger than a slant surface or circular arc formed in each of other edge portions.

An IC card has a card substrate in which memory chips are mounted, and a plurality of connecting pads respectively conductive to a plurality of connector terminals are formed together with the connector terminals. A layout on the card substrate is set in order of the connector terminals, controller chip and memory chips with respect to one side of the card substrate. The connector terminals are exposed from a casing. The controller chip has a shape long along the direction of an arrangement of the connector terminals and includes a plurality of connector interface terminals connected to the connector terminals through the connecting pads on the connector terminal side, and a plurality of memory interface terminals connected to the corresponding memory chip on the memory chip side. Each memory chip referred to above has a plurality of controller interface terminals connected to the corresponding controller chip on the controller chip side.

According to the above, since the bug controller chip is caused to approach the connector terminal side and each memory chip is placed on the side opposite to the controller chip, the area for laying out each memory chip can be made relatively large. Further, wirings for respectively connecting the connector terminals, the controller chip and each

FIG. 2(A) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to four bits with respect to a multi media card;

FIG. 2(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which the data terminals are set to the four bits with respect to the multi media card;

FIG. 3(A) is an explanatory view illustrating a terminal surface of an upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 3(B) is an explanatory view showing a mounting surface of the upward compatible memory card in which the data terminals are set to the eight bits with respect to the multi media card;

FIG. 4(A) is an explanatory view illustrating a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 4(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which the data terminals are set to the eight bits with respect to the multi media card;

FIG. 5(A) is an explanatory view showing a terminal surface of a further upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 5(B) is an explanatory view depicting a mounting surface of the further upward compatible memory card in which the data terminals are set to the eight bits with respect to the multi media card;

FIG. 6(A) is an explanatory view illustrating the state of a terminal surface of a multi media card-based memory card;

FIG. 6(B) is an explanatory view showing the state of a mounting surface of the multi media card-based memory card;

FIG. 7 is an explanatory view depicting the state in which the corresponding memory card is loaded in a card socket corresponding to the almighty card shown in FIG. 5;

FIG. 8 is an explanatory view showing the state in which the almighty memory card is placed in a card socket corresponding to the multi media card-based memory card shown in FIG. 1;

FIG. 9 is an explanatory view illustrating the state in which the almighty memory card is loaded in a card socket corresponding to a multi media card-based memory card;

FIG. 10 is a schematic block diagram of a data processing system having the card socket shown in FIG. 7;

FIG. 11(A) is an explanatory view showing, as a comparative example, a connector terminal arrangement which develops a power-to-power short;

FIG. 11(B) is an explanatory view depicting, as the comparative example, the connector terminal arrangement which develops the power-to-power short;

FIG. 11(C) is an explanatory view illustrating, as the comparative example, the connector terminal arrangement which develops the power-to-power short;

FIG. 12 is an explanatory view showing an example in which measures are taken to prevent a power-to-power short by virtue of chamfered portions of connector terminals;

FIG. 13 is an explanatory view depicting an example in which measures are taken to prevent a power-to-power short by virtue of linear dimensions of socket terminals or the like;

FIG. 14 is an explanatory view showing a comparative example in which wiring routing increases on a card substrate;

FIG. 15 is a plan view showing, as an example, a detailed configuration of a mounted state of circuit elements of the multi media card-based memory card shown in FIG. 6;

FIG. 16 is a vertical cross-sectional view of FIG. 15;

FIG. 17 is a plan view exclusively illustrating, as an example, the state of connections of test terminals and the terminals of the multi media card-based memory card shown in FIG. 6;

FIG. 18 is a perspective view showing a first example in which a through hole is defined in a memory card;

FIG. 19 is a perspective view illustrating a second example in which a through hole is defined in a memory card;

FIG. 20 is a perspective view showing, as an example, a first use form of through holes defined in memory cards;

FIG. 21 is a perspective view illustrating a second use form of a through hole defined in a memory card;

FIG. 22(A) is an explanatory view depicting the operation of mounting of the memory card shown in FIG. 21 in a PC card adapter;

FIG. 22(B) is an explanatory view illustrating the operation of fitting of the memory card shown in FIG. 21 in the PC card adapter;

FIG. 22(C) is an explanatory view illustrating the operation of mounting of the memory card shown in FIG. 21 in the PC card adapter;

FIG. 23 is a perspective view showing an example in which a memory card is provided with a protective cover;

FIG. 24 is a perspective view depicting, as an example, the manner of storage of each memory card provided with its corresponding protective cover;

FIG. 25(A) is an explanatory view showing the operation of mounting of the memory card shown in FIG. 23 in a PC card adapter;

FIG. 25(B) is an explanatory view illustrating the operation of fitting of the memory card shown in FIG. 23 in the PC card adapter;

FIG. 25(C) is an explanatory view showing the operation of mounting of the memory card shown in FIG. 23 in the PC card adapter;

FIG. 26(A) is an explanatory view depicting a first example in which a casing of a memory card is provided with a guide portion;

FIG. 26(B) is an explanatory view showing the first example in which the casing of the memory card is provided with the guide portion;

FIG. 26(C) is an explanatory view showing the first example in which the casing of the memory card is provided with the guide portion;

FIG. 27(A) is an explanatory view depicting a second example in which a casing of a memory card is provided with a guide portion;

FIG. 27(B) is an explanatory view illustrating the second example in which the casing of the memory card is provided with the guide portion;

FIG. 27(C) is an explanatory view showing the second example in which the casing of the memory card is provided with the guide portion;

FIG. 28 is an exploded perspective view illustrating an example of a memory card in which a seal is put to represent attribute information of the memory card;

FIG. 29 is an exploded perspective view showing an example of a memory card in which attribute information of the memory card is represented by printing onto its casing.

FIG. 30 is a perspective view depicting an example of a memory card in which a concave portion is defined in a casing to represent an indication mark indicative of the direction of insertion of the memory card.

FIG. 31(A) is an explanatory view showing the state of release of write protect by a seal system.

FIG. 31(B) is an explanatory view illustrating the state of release of write protect by the seal system.

FIG. 32(A) is an explanatory view depicting the state of write protect by a seal system.

FIG. 32(B) is an explanatory view showing the state of write protect by the seal system.

FIG. 33(A) is an explanatory view illustrating the state of release of write protect by a lug system.

FIG. 33(B) is an explanatory view depicting the state of release of write protect by the lug system.

FIG. 34(A) is an explanatory view showing the state of write protect by a lug system.

FIG. 34(B) is an explanatory view illustrating the state of write protect by the lug system.

FIG. 35 is a block diagram showing a configuration of a flash memory chip as an example; and

FIG. 36 is a cross-sectional view schematically depicting the structure of a non-volatile memory cell transistor for a flash memory chip.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Preferred embodiments of the present invention will hereinafter be described in detail with reference to the accompanying drawings.

FIGS. 1 through 5 respectively illustrate upward compatible memory cards based on multi media cards, in which FIGS. 1(A), 2(A), 3(A), 4(A), and 5(A) show terminal surfaces, and FIGS. 1(B), 2(B), 3(B), 4(B), and 5(B) illustrate chip mounting surfaces, respectively.

A memory card (multi media card-based memory card) MCI based on a multi media card, which is basic to these memory cards, will first be explained with reference to FIG. 6. A card substrate (also called a "multi media card-based card substrate") 1 of the multi media card-based memory card MCI is configured in such a manner that seven connector terminals 2, respectively identical in shape to one another and rectangular are provided at equal intervals on a terminal surface of a substrate comprising a resin substrate composed of a glass epoxy resin or the like, and connecting pads 3 are formed on a mounting surface thereof, in a one-to-one correspondence with the connector terminals 2. Each connecting pad 3 is formed of a conductive pattern such as aluminum, copper, or a ferro-alloy or the like. Each of the connector terminals 2 is formed by applying gold plating, nickel plating or the like to a conductive pattern such as aluminum, copper, or the ferro-alloy or the like. Electrical connections between the connecting pads 3 and the connector terminals 2 are conducted by unillustrated wiring patterns on the card substrate 1 and through holes which bring the front and back of the card substrate 1 into conduction.

For example, electrically rewritable flash memory chips 4 and a controller chip 5 for controlling the flash memory chip 4 are mounted on the mounting surface of the card substrate

1. The controller chip 5 controls a read/write operation effected on each flash memory chip 4 in accordance with instructions given from outside through each connector terminal 2. When data security is taken into consideration, the controller chip 5 may further be provided with a security function for encrypting or encoding data written into its corresponding flash memory chip 4 and decrypting or decoding the data read out from the flash memory chip 4.

The controller chip 5 has a shape long along the direction of an arrangement of the connector terminals 2 and includes a plurality of connector interface terminals 5P electrically connected to their corresponding connector terminals 2 through the connecting pads 3 on the connector terminal 2 side, and a plurality of memory interface terminals 5P electrically connected to their corresponding memory chips 4 on the memory chip 4 side. Each of the memory chips 4 has a plurality of controller interface terminals 4P electrically connected to the corresponding controller chip 5 on the controller chip 5 side. The connecting pads 3 are connected to their corresponding connector interface terminals 5P of the controller chip 5 by bonding wires 7. The memory interface terminals 5P of the controller chip 5 are electrically connected to their corresponding controller interface terminals 4P of each memory chip 4 by bonding wires 8.

Reference numeral 9 indicates a relay pattern. Further, the card substrate 1 has test terminals 10 electrically connected to the controller chip 5 and each of the memory chips 4 by bonding wires (or wiring patterns) 11. The card substrate 1 is attached and fixed to a casing 12 with its mounting surface directed inwardly. The mounting surface of the card substrate 1 is covered with the casing 12 for its protection and the terminal surface thereof is exposed from the casing 12. Incidentally, one example of the electrical connections made by the bonding wires 7, 8 and 11 is shown in the drawing, and the unillustrated terminals are also electrically connected by their corresponding bonding wires or the like in the same manner as described above.

Now, terminal numbers #1 through #7 are assigned to the connector terminals 2 on the terminal surface for convenience. In a multi media card mode, #1 serves as a reserve terminal (open or fixed to a logical value "1"), #2 functions as a command terminal (which performs a command input and a response signal output), #3 and #4 serve as circuit's ground voltage (ground) terminals, #5 serves as a source voltage supply terminal, #6 serves as a clock input terminal, and #7 serves as a data input/output terminal, respectively. In an SPI (Serial Peripheral Interface) mode, #1 serves as a chip select terminal (negative logic), #2 serves as a data input terminal (for the input of data and commands from a host device to a card), #3 and #4 serve as the circuit's ground voltage (ground) terminals, #5 serves as the source voltage supply terminal, #6 serves as the clock input terminal, and #7 serves as a data output terminal (for the output of data and status from the memory card to the host device), respectively. The multi media card mode is an operation mode suitable for a system in which a plurality of multi media cards are used simultaneously. The identification of each multi media card is done by a card identification ID (relative address) set to its multi media card by the unillustrated host device. The SPI mode is most suitable for application to a simple and inexpensive system, and the operation of each multi media card is selected by a chip select signal supplied to the connector terminal of #1. Even in the case of any of the operation modes, the controller chip 5 performs access control of a memory chip and control for interface with the host device in response to a command given from the host device.

An upward compatible memory card MC2 of a type wherein data terminals are set to four bits with respect to the multi media card, is shown in FIG. 1 by way of example. The present memory card MC2 is different from the memory card MCI in that nine connector terminals 2 and connecting pads 3 are laid out respectively. The terminal numbers #1 through #7 are identical in layout configuration to the multi media card-based memory card MCI, and the two connector terminals added in this way are defined as terminal numbers #8 and #9 respectively.

The connector terminals 2 of #1 through #7 constitute a connector terminal sequence corresponding to a first row or sequence with respect to a card substrate 1A. The added connector terminals 2 of #8 and #9 constitute a connector terminal sequence corresponding to a second row or sequence placed so as to be spaced away from the connector terminal sequence corresponding to the first sequence. The connector terminals 2 of #8 and #9 are identical in size to other connector terminals 2. The connector terminal sequence corresponding to the first sequence and the connector terminal sequence corresponding to the second sequence are provided so that the layouts of their connector terminals are shifted from one another as viewed in their row or sequence directions. In other words, the connector terminals 2 of #1 and #9, and the connector terminals 2 of #7 and #8 are laid out in staggered form.

The present memory card MC2 is configured in such a manner that the terminals #2 through #7 are assigned to the same functions as the multi media card mode of the multi media card-based memory card MCI, the terminal #1, which was used as the reserve terminal in the corresponding multi media card mode, is defined as a data terminal DATA2 corresponding to a fourth bit, and the added terminals #8 and #9 are respectively defined as a data terminal DATA2 corresponding to a second bit, and a data terminal DATA2 corresponding to a third bit. A data terminal DATA2 corresponding to a first bit corresponds to the same terminal #7 as that in the multi media card mode. Thus, the present memory card MC2 is different from the memory card MCI in that the input/output of data is allowed in 4-bit parallel in the multi media card mode of the memory card MCI.

Further, the memory card MC2 has a downward compatible mode with respect to the multi media card-based memory card MCI. Namely, the controller chip 5A has a one-bit mode which makes use of one bit #7 of the four-bit data terminals #1, #7, #8 and #9, and a four-bit mode which performs a four-bit parallel input/output using the four-bit data terminals #1, #7, #8 and #9. The one-bit mode is an operation mode which allows the memory card MC2 to operate as the multi media card-based memory card MCI.

The operation mode may be set in response to the state of a predetermined connector terminal or the state of the input of a command from the predetermined connector terminal. For example, when the memory card MC2 is loaded in the card socket of the multi media card-based memory card MCI, the terminals #8 and #9 reach floating. Therefore, when power is turned on, the controller chip 5A may detect floating states of both of the terminals #8 and #9 or a floating state of one thereof to set the one-bit mode to the memory card MC2. When the memory card MC2 having the nine connector terminals 2 is fitted in its dedicated card socket, the terminals #8 and #9 are conductive to a socket terminal of the card socket. Therefore, when power is turned on, the controller chip 5A may detect the supply of a specific signal or command from the host device to both or one of at least the terminals #8 and #9 to set the four-bit mode to the corresponding memory card MC2.

The controller chip 5A is different from the controller chip 5 in that the number of data input/output terminals connected to connecting pads 3 is four. Other configurations are identical to those shown in FIG. 6. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

Another upward compatible memory card MC3 in which data terminals are set to four bits with respect to the multi media card, is illustrated in FIG. 2 by way of example. A card substrate 1B of the memory card MC3 is different from that of the memory card MC2 in that data terminals corresponding to the terminal numbers #8 and #9 are different in layout and size from each other. The data terminal of #8 is completely built or set in a terminal row or sequence corresponding to a first sequence and slightly reduced in width as compared with other connector terminals 2. The data terminal of #9 is laid out at and changed to a position placed outside a data terminal of #1 and placed in a state of being nested toward it. Other configurations are similar to those shown in FIG. 1. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

An upward compatible memory card MC4 in which data terminals are set to eight bits with respect to the multi media card, is illustrated in FIG. 3 by way of example. The present memory card MC4 is different from the memory card MCI in that thirteen connector terminals 2 and connecting pads 3 are respectively laid out. The terminal numbers #1 through #7 are identical in layout configuration to those of the multi media card-based memory card MCI, and the added six connector terminals are defined as terminal numbers #8 through #13.

The connector terminals 2 of #1 through #7 constitute a connector terminal sequence corresponding to a first row or sequence with respect to a card substrate 1C. The added connector terminals 2 of #8 through #13 constitute a connector terminal sequence corresponding to a second row or sequence placed so as to be spaced away from the connector terminal sequence corresponding to the first sequence. The connector terminals 2 of #8 through #13 are identical in size to other connector terminals 2. The connector terminal sequence corresponding to the first sequence and the connector terminal sequence corresponding to the second sequence are provided so that the layouts of their connector terminals are shifted from one another as viewed in their row or sequence directions. If attention is focused on terminal-to-terminal regions or areas of the connector terminals 2, then an arrangement of terminal-to-terminal areas of the first connector terminal sequence corresponding to the first sequence and an arrangement of terminal-to-terminal areas of the second sequence are shifted from one another as viewed in their sequence directions. In short, the connector terminals corresponding to the first sequence and the second sequence are disposed in staggered form between the rows or sequences in a manner similar to the memory card MC2 shown in FIG. 1.

The present memory card MC4 is configured in such a manner that the terminals #2 through #7 are assigned to the same functions as the multi media card mode of the multi media card-based memory card MCI, the terminal #1, which was used as the reserve terminal in the corresponding multi media card mode, is defined as a data terminal DATA3 corresponding to a fourth bit, and the added terminals #8, #9, #10, #11, #12 and #13 are respectively successively defined as a data terminal DATA1 corresponding to a second bit, a

data terminal DATA4 corresponding to a fifth bit, a data terminal DATA6 corresponding to a seventh bit, a data terminal DATA7 corresponding to an eighth bit, a data terminal DATA8 corresponding to a ninth bit, and a data terminal DATA9 corresponding to a tenth bit. A data terminal DATA10 corresponding to a first bit corresponds to the same terminal #7 as that in the multi media card mode. Thus, the present memory card MC4 is different from the memory card MC1 in that the input/output of data is allowed in 8-bit parallel in the multi media card mode of the memory card MC1.

Further, the memory card MC4 has a downward compatible mode with respect to the multi media card-based memory card MC1. Namely, a controller chip 5B has a one-bit mode which makes use of one bit #7 of the eight-bit data terminals #1 and #7 through #13, a four-bit mode which performs a four-bit parallel input/output using the four bits #1, #7, #8 and #13 of the eight-bit data terminals #1 and #7 through #13, and an eight-bit mode which performs an eight-bit parallel input/output using the eight-bit data terminals #1 and #7 through #13. The one-bit mode is an operation mode which allows the memory card MC4 to operate as the multi media card-based memory card MC1. The four-bit mode is the same operation mode as the four-bit modes for the memory cards MC2 and MC3.

The operation mode may be set in response to the state of a predetermined connector terminal or the state of the input of a command from the predetermined connector terminal. For example, when the memory card MC4 is loaded in the card socket of the multi media card-based memory card MC1, the terminals #8 through #13 reach floating. Therefore, when power is turned on, the controller chip 5B may detect floating states of the connector terminals 2 for both of the data terminals DATA1 and DATA2 at which a difference from the four-bit mode can be recognized, or a floating state of the connector terminal 2 for one thereof (by exclusively using software or exclusively using a hardware configuration) to set the one-bit mode to the memory card MC on a software or hardware basis.

When the memory card MC4 is fitted in the card socket of the memory card MC3 shown in FIG. 1, the terminals #9 through #12 are brought to floating. Therefore, when power is turned on, the controller chip 5B may detect floating states of all or some connector terminals 2 for the data terminals DATA4 through DATA7 on a software or hardware basis to set the four-bit mode to the memory card MC4.

On the other hand, when the memory card MC4 is loaded in its dedicated card socket, the terminals #9 through #12 are conductive to a socket terminal of the card socket. Therefore, when power is turned on, the controller chip 5B may detect the supply of a specific signal or command from a host device to all or some of at least the data terminals DATA4 through DATA7 to set the eight-bit mode to the corresponding memory card MC4.

The controller chip 5B is different from the controller chip 5 in that the number of data input/output terminals connected to the connecting pads 3 is eight. Other configurations are identical to those shown in FIG. 6. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

Another upward compatible memory card MC3 in which data terminals are set to eight bits with respect to the multi media card, is illustrated in FIG. 4 by way of example. A card substrate 1D of the memory card MC3 is different from that of the memory card MC4 in that the layout of the

connector terminals 2 of the terminal numbers #8 and #13 is similar to the memory card MC3 shown in FIG. 2. A data terminal #13 is completely built or set in a terminal row or sequence corresponding to a first sequence and slightly reduced in width as compared with other connector terminals 2. A data terminal #8 is laid out at and changed to a position placed outside a data terminal of #1 and placed in a state of being nested toward it. Other configurations are similar to those shown in FIG. 3. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

A further upward compatible memory card MC6 in which data terminals are set to eight bits with respect to the multi media card, is illustrated in FIG. 5 by way of example. A card substrate 1E of the memory card MC6 is different from that of the memory card MC4 shown in FIG. 3 in that the shapes of the connector terminals 2 of the terminal numbers #8 and #13 extend so as to contain the connector terminals 2 of the terminal numbers #9 and #13 shown in FIG. 4. Namely, the connector terminal 2 of the terminal number #13 extends to a position where it perfectly adjoins a connector terminal #7 placed in the first sequence and provided at one end as viewed in the row or sequence direction, of the connector terminal sequence. The connector terminal 2 of the terminal number #8 extends to a position where it partly overlaps with a connector terminal #1 placed in the first sequence and included in the connector terminal sequence as viewed in the sequence direction and adjoins the connector terminal #1. Other configurations are similar to those shown in FIG. 3. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

As is apparent from the above, the memory cards MC2 through MC6 shown in FIGS. 1 through 5 respectively have upward compatibility with respect to the multi media card-based memory card MC1 or the unillustrated known multi media card. For example, a low-order or downward memory card can be used by being inserted into a card socket of a high-order or upward memory card. Further, each of the memory cards MC2 through MC6 has also downward compatibility that, for example, an upward memory card can be used by being inserted into a socket of a downward memory card. Described in details, the memory cards MC2 and MC3 shown in FIGS. 1 and 2 have upward-downward compatibility in a relationship with the memory card MC1 shown in FIG. 6. The memory card MC4 shown in FIG. 3 has upward-downward compatibility in a relationship with the memory cards MC1 and MC2 shown in FIGS. 6 and 1.

The memory card MC5 shown in FIG. 4 has upward-downward compatibility in a relationship with the memory cards MC1 and MC3 shown in FIGS. 6 and 2. Since the memory card MC6 shown in FIG. 5 has a connector terminal arrangement including complementarity between the arrangement of the connector terminals 2 of the memory card MC4 shown in FIG. 3 and the arrangement of the connector terminals 2 of the memory card MC3 shown in FIG. 4, it can be ranked as an almighty card having upward-downward compatibility even in a relationship with any of FIGS. 1, 2, 3, 4 and 6.

FIG. 7 shows the state in which the corresponding memory card MC6 is loaded in a card socket 22 according to the almighty card MC6. The card socket 22 has socket terminals 2A which protrude toward the back or inner portion so as to correspond to their connector terminals 2. Since the plural-sequence layout of the form typified by the suggested fashion is adopted, a configuration or structure in

which the amounts of protrusions of the socket terminals 22A of the card socket 22 are changed and they are laid out in tandem, can be adopted with relative ease for the arrangement of the connector terminals 2. Contacts with the connector terminals 2 are lips or leading ends (■ marks) of the socket terminals 22A.

FIG. 8 shows the state in which the almighty memory card MC6 is loaded in a card socket 21 corresponding to the multi media card-based memory card MC1 shown in FIG. 1 or an unillustrated multi media card. As described above, the memory card MC6 is set to the one-bit mode, so that it can perform the same operation as the multi media card-based memory card MC1 or the unillustrated multi media card.

FIG. 9 shows the state in which the almighty memory card MC6 is loaded in a card socket 22 corresponding to the multi media card-based memory card MC3 shown in FIG. 2. As described above, the memory card MC6 is capable of performing the same operation as the memory card MC3 by being set to the four-bit mode.

Although not illustrated in the drawing in particular, the memory cards MC1 through MC5 shown in FIGS. 6 and FIGS. 1 through 4 can respectively be operated in predetermined operation modes even if they are loaded in the card socket 22 shown in FIG. 7. The thickness of each card is substantially equal to a thickness of 1.4 mm of the multi media card. Compatibility available even if the memory cards are mutually inserted into any other type of card sockets, can be implemented.

FIG. 10 is a schematic block diagram of a data processing system having the card socket 22 shown in FIG. 7. The data processing system shown in the same drawing has a card socket 22 in which the memory card MC6 capable of selecting the one-bit mode, four-bit mode or eight-bit mode can be fitted. The card socket 22 has a plurality of socket terminals 2A connected to connector terminals 2 of a memory card MC mounted as shown in FIG. 7. The data processing system is provided with a card interface controller 30 capable of selectively setting the one-bit mode, four-bit mode or eight-bit mode to the memory card MC through the socket terminals 2A. The card interface controller 30 is placed under the control of a host control device 31. The host device 31 is a circuit like a CPU board, for example, and includes a microprocessor and a work RAM for the microprocessor. Further, the host device 31 performs interface control of commands or data with the card interface controller 30 through a bus and control for setting the operation mode to the memory card MC loaded in the card socket 22. Thus, any of the memory cards MC1 through MC6 can be used.

Incidentally, a plurality of types of memory cards can similarly be applicable even to a data processing system having a card socket of a memory card MC2 or MC3 although not shown in the drawing.

In the memory cards MC2 through MC6 shown in FIGS. 1 through 5, the back-and-forth arrangement of the connector terminals 2 in two rows or lines takes into consideration the prevention of a power-to-power short. In the aforementioned examples, no terminals are provided behind the terminals of #4 used as the power supply connector terminals. At portions where the connector terminals 2 are placed back and forth as viewed in a row direction as shown in FIG. 22, respectively include socket terminals of the card socket 22A alternately completely laid out at pitches each equal to half of that of each connector terminal 2. On the other hand, if no connector terminal is provided behind, then

no long socket terminals 22A are placed next door to each other on both sides of a socket terminal 22Aa corresponding to the connector terminal of #4 for the source voltage (Vdd) supply as shown in FIG. 7 by way of example.

On the other hand, now consider a memory card MC7 in which data terminals of #10 and #11 are placed behind a connector terminal of #4 for the supply of a source voltage (Vdd) as illustrated in FIG. 11(A) by way of example. In a card socket 23 corresponding to the memory card MC7, long socket terminals 23Ab are disposed next to socket terminals 23Aa corresponding to the connector terminal of #4.

When the memory card MC7 is inserted into the card socket 23, contacts (■ marks) of the socket terminals 23Ab are respectively brought into sliding contact with the surface of the connector terminal of #4 to which the source voltage Vdd is inputted, and the surface of a connector terminal of #3 to which a ground voltage is inputted. When, at this time, a socket terminal 23Aa supplied with the source voltage Vdd is made conductive to the connector terminal of #4, and a socket terminal 23Ac supplied with a circuit's ground voltage Vss is rendered conductive to the connector terminal of #3, the source voltage Vdd and the ground voltage Vss are short-circuited through a contact of 23Aa, #4, a contact of 23Ab, #3 and a contact of 23Ac as shown in FIG. 11(C).

The non-provision of the connector terminal behind the terminal of #4 used as the power supply connector terminal as shown in FIG. 7 by way of example allows prevention of the possibility of such a power short beforehand.

As a countermeasure against the power short, connector terminal in which broad terminal-to-terminal distances are respectively set to a portion where the connector terminal faces a connector terminal sequence corresponding to a second sequence, may be provided in a connector terminal sequence corresponding to a first sequence as viewed in a memory card inserting direction as shown in FIG. 12 by way of example. In brief, relatively large chamfered portions may be formed at the corners of the rear of the connector terminals 2A.

As another countermeasure against the power short, a distance D1 extending from a leading end of each contact of short socket terminals 23Aa and 23Ac to a base end of a contact of a long socket terminal 23Ab may be set greater than a width dimension B1 of each of connector terminals of #3 and #4 as shown in FIG. 13 by way of example. Further, the thickness of the socket terminal 23Ab may sufficiently be set smaller than interval dimensions of the connector terminals of #3 and #4. However, when it is desired to prevent the power short according to dimensional provisions, a processing error and an assembly error occur. Further, since it is impossible to regard the memory card itself as a rigid body, it is advisable to take the countermeasures shown in FIGS. 7 and 12 for the purpose of preventing the power short with a high degree of reliability.

In the memory cards MC1 through MC6 described in FIGS. 1 through 6, their layout on the card substrate is set in order of the connector terminals 2, the controller chips 5 (5A and 5B) and the flash memory chips 4 with respect to one side of the card substrate. The connector terminals 2 are exposed from the casing 12. Each of the controller chips 5 (5A and 5B) has a shape long along the direction of the arrangement of the connector terminals 2 and includes a plurality of connector interface terminals 2' electrically connected to the connector terminals 2 side, and a plurality of pads 3 on the connector terminals 2 side, and a plurality of memory interface terminals 2' electrically connected to the corresponding flash memory chip 4 on the flash memory

chip 4 side. The flash memory chip 4 has a plurality of controller interface terminals 4P, electrically connected to the controller chip 5 (SA, SB) on the controller chip 5 (SA, SB) side. The terminals 5P, 5T, and 4P comprise, for example, bonding pads respectively.

According to the above, since the long controller chip 5 (SA, SB) is caused to approach the connector terminals 2 and the flash memory chip 4 is placed on the side opposite to the controller chip 5 (SA, SB), the area for laying out each flash memory chip 4 can be made relatively large. Further, wirings for respectively electrically connecting the connector terminals 2, the controller chip 5 (SA, SB) and each memory chip 4 may be wired regularly in their arrangement directions. It is not necessary to adopt wirings which bypass each chip and are folded complicatedly.

The connecting pads 3 may be electrically connected to their corresponding connector interface terminals 5P of the controller chip 5 (SA, SB) through bonding wires 7. Further, the memory interface terminals 5P of the controller chip 5 (SA, SB) may be electrically connected to their corresponding controller interface terminals 4P of each flash memory chip 4 through bonding wires 8 and conductive patterns 9. Thus, this can simplify each wiring layer of the card substrate and is capable of contributing a cost reduction.

When interface terminals like bonding pads of a controller chip and a flash memory chip are placed in random orientations with respect to bonding pads 3 as shown in a comparative example of FIG. 14, wirings for respectively electrically connecting the connecting pads, the controller chip and the memory chip bypass the chips, pass complicated paths, complicate each wiring layer of the card substrate, degrade electrical characteristics, make an increase in cost and decrease reliability.

A detailed configuration of a state in which circuit elements are mounted on the multi-media card-based memory card MCI shown in FIG. 6 is illustrated in FIG. 15 by way of example on a plane basis. FIG. 16 is a vertical cross-sectional view of the configuration shown in FIG. 15. Test terminals 10 are not illustrated in the configurations shown in FIGS. 15 and 16. Further, FIGS. 15 and 16 include portions designated at reference numerals different from those shown in FIG. 6.

A card substrate 1 comprises a glass epoxy resin or the like. The connector terminals 2 are formed on the back of the card substrate 1 by conductive patterns. The controller chip 5 and the flash memory chips 4 are mounted on the surface of the card substrate 1 through wiring patterns and conductive patterns. In the drawing, reference numerals 3 respectively indicate connecting pads electrically connected to their corresponding connector terminals 2 via through holes 40.

Referring to FIG. 15, the bonding wires 8 shown in FIG. 6 are illustrated as 8a, 8b and 8c in parts. The controller chip 5 and the memory chips 4 are so-called bare chips, and the external terminals 5P, 4P, and 4P thereof are bonding pads such as aluminum, an aluminum alloy, copper or a ternary or the like.

Each of the flash memory chips 4 has a memory cell array in which, for example, non-volatile memory cell transistors each having a control gate, a floating gate, and a source and drain are operated in matrix form. The flash memory chip 4 performs operations such as data reading, erasing, writing, verifying, etc. according to externally-supplied commands and addresses. The flash memory chip 4 includes, as plural external terminals 4P, an input terminal used for a chip enable signal (also called "chip select signal")/CE for pro-

viding instructions for a chip selection, an input terminal used for a write enable signal /WE for providing instructions for a write operation, input/output terminals /IOO through /IOP, an input terminal used for a command-data enable signal /CDE for providing instructions as to whether the input/output terminals /IOO through /IOP of addresses, and the input/output of data or the input of addresses, an input terminal used for an output enable signal /OE for providing instructions for an output operation, an input terminal used for a clock signal /SC for providing instructions for data latch timing, an output terminal used for a ready/busy signal /RB for giving instructions as to whether the flash memory chip is being in a write operation, to the outside, and an input terminal used for a reset signal /RES.

The controller chip 5 controls the reading and writing of data from and into the flash memory chip 4 according to instructions given from outside. Further, the controller chip 5 has a security function for encrypting or encoding data to be written into the flash memory chip 4 in consideration of data security or copyright protection or the like and decrypting or decoding the data read from the flash memory chip 4.

The external terminals 5P of the controller chip 5 correspond to input/output functions of the connector terminals 2. An output terminal used for a chip select signal/CE with respect to the flash memory chip 4, and an output terminal used for a chip select signal/CEI with respect to the flash memory chip 4 are included as the external terminals 5P for obtaining memory access to the controller chip 5. Further, external terminals, which correspond to the external terminals 4P of the flash memory chip 4 and are reversed in input/output direction, are provided as the external terminals 5P.

As described above, the bonding wires 7 are used to connect the connecting pads 3 and their corresponding external terminals 5P of the controller chip 5, and the bonding wires 8b, 8b and 8c are used to connect the controller chip 5 and the flash memory chip 4. Thus, a large number of wiring patterns having the same functions as the connections thereof by the bonding wires may not be formed on the card substrate 1 in a compact mass. Spaces lying above the controller chip 5 and each flash memory chip 4 can be utilized for wiring. In brief, substrate wiring can be simplified owing to air wiring of bonding wires. Accordingly, this can contribute to a reduction in the cost of the card substrate 1.

In the configuration shown in FIG. 15, the two flash memory chips 4 are parallel-connected to the controller chip 5 by the bonding wires. At this time, the two non-volatile memory chips 4 are mounted on the card substrate 1 in their position-shifted and overlapped state so that the external terminals 4P thereof are exposed. Thus, the distance to the controller chip 5 becomes short and routing lengths of the bonding wires 8b and 8c become short as compared with the case in which the non-volatile memory chips 4 are laid out without their overlapping. Accordingly, the possibility that undesired contacts and breaks of the bonding wires will occur, can be lessened. The amounts of shifts of a plurality of non-volatile memory chips at the time that they are stacked on one another, may be determined within a range in which one lower chip can exist below bonding external terminals of an upper chip. This is because when no lower chip exists below the bonding external terminals, there is a possibility that each chip will suffer damage due to a mechanical force at bonding.

Referring to FIG. 16, the controller chip 5 and non-volatile memory chips 4 are molded with a thermosetting

resin 55 as a whole. At this time, each through hole 40 is not included in an area molded by the thermosetting resin 55. Thus, it is possible to eliminate the possibility that when the chips are molded under pressure, the mold resin 55 will leak into the reverse side of the card substrate 1 via each through hole 40, thereby causing a mold failure.

In FIG. 16, the casing 12 for covering the surface of the card substrate 1 can be made up of, for example, a metal cap or the like whose surface is subjected to insulating coating. Thus, as compared with a resin cap, it provides countermeasures against EMI (Electro Magnetic Interference) and allows sealing based on mechanical fastening and high-temperature-based cap sealing.

Increasing the thickness of the controller chip 5 as compared with that of each flash memory chip 4 as described in FIG. 16 allows prevention of the occurrence of a failure in multi-media card.

In FIG. 16, the thickness of the flash memory chip 4 is 220 μ m and the thickness of the controller chip 5 is 280 μ m. The height of the controller chip 5 after its mounting is 320 μ m. A post-mounting height at the time that the two flash memory chips 4 are stacked and mounted, reaches 520 μ m inclusive of the thickness of an adhesive layer for bonding their chip reverse sides to each other. Further, since the height of each bonding wire loop formed on the flash memory chips 4 and the controller chip 5 is about 200 μ m, the whole height up to the uppermost portion of the bonding wire loop at the time that the two flash memory chips 4 are stacked, reaches 720 μ m. Thus, the controller chip 5 is thicker than the flash memory chip 4. Further, the controller chip 5 is thinner than the thickness of the two flash memory chips 4. Alternatively, the post-mounting height of the controller chip 5 is about equal to or lower than the height of the two stacked and mounted flash memory chips 4.

It is thus necessary that in the memory card whose thickness is limited according to standards, when the chips are stacked on each other and mounted, the chips to be stacked are formed thin in advance to avoid failures such as the exposure of bonding wires on the mold resin 55. Increasing the thickness of the controller chip 5 as compared with that of the flash memory chip 4 in the memory card in which the flash memory chips 4 are placed in stacked form, yields the following effects.

A sufficient increase in the thickness of the controller chip 5 prevents failures such as cracking and chipping-off of the chip and also improves a handling characteristic at the time that each chip is placed on the substrate. Thus, even in the case of a memory card equipped with a large number of chips as in the case where the chips are placed in stacked form, a reduction in yield can be prevented from occurring and throughput in a mounting process can be improved.

Excessively thinning the thickness of the controller chip 5 yields an increase in the possibility that each chip will buckle due to pressure at the injection of a mold resin and an internal stress developed by curing and shrinkage at the time that the mold resin is cured. In the case of the flash memory chips 4 placed in stacked form as compared with it, a sufficient strength can be obtained even in the case of a thin chip because they are stacked, and buckling can be avoided. Thus, a chip placed in a single layer needs to increase its thickness as compared with that of chips mounted in stacked form with a view toward obtaining a strength equivalent to such an extent as to be capable of avoiding the buckling.

The controller chip 5 is mounted to a portion nearer the connector terminals 2 as compared with the flash memory chips 4. In the case of the portion nearer each connector

terminal 2, distortion is developed in the memory card due to a stress given or suffered from the socket terminal 22 connected to the connector terminals 2 when the memory card is in use. Such distortion is transferred to the controller chip 5 nearer the connector terminals 2 as a large internal stress. As a result of the repeated use of the memory card, there is a possibility that a failure such as the generation of chip's cracking will occur. However, if a structure or configuration is adopted wherein the chip is mounted onto the portion nearer the connector terminals 2 is set thicker than each chip mounted to a portion far from the connector terminals 2, then resistance to the stress suffered from the connector terminals 2 can be sufficiently ensured and a failure such as breakage developed inside the memory card due to its repeated use can be avoided.

The card substrates 1, and 1A through 1E are respectively provided with the test terminals 10 connected to the controller chip 5 and the memory chips 4 in order to efficiently test the post-mounting controller chip 5 and flash memory chips 4. Since the test terminals 10 may be avoided from being always exposed after they have been incorporated into a casing, the test terminals are formed on a surface on the side opposite to a forming surface of the connector terminals 3 of the card substrate from this point of view.

The state of connections of the test terminals of the multi-media card-based memory card MCI shown in FIG. 6 is illustrated in FIG. 17 by way of example. In FIG. 17, the state of connections between a controller chip 5 and each non-volatile memory chip 4 is simplified in the drawing to put emphasis on the state of connections of the test terminals. In FIG. 17, circuit elements each having the same function as FIG. 6 are identified by the same reference numerals and their detailed description will therefore be omitted.

The controller chip 5 has an input terminal (also described simply "test terminal"/TEST) for a test signal/TEST pulled up thereinside as one of external terminals 5P although it is not shown in FIG. 6. When a low level is inputted to the test terminal /TEST, the test terminal/TEST serves so as to control a terminal for interface with each non-volatile memory chip 4, particularly, an output terminal and an input/output terminal to a high-output impedance state or an input/output inoperable or not-ready state. Further, a TEST input terminal may be input-controlled according to a serial command (encrypted or encoded command) for security.

A test control terminal 10a connected to the test terminal/TEST on the memory interface side of the controller chip 5 by a wiring 11a is formed on the card substrate 1. Test terminals 10b connected to all the remaining external terminals 5P on the memory interface side of the controller chip 5 by wirings 11b in a one-to-one correspondence with one another are formed on the card substrate 1. There are also provided a testing ground terminal 10c connected to an external terminal for a ground power source Vss by a wiring 11c, of external terminals 5P on the connector interface side of the controller chip 5, and a testing power terminal 10d connected to an external terminal for a source voltage Vdd by a wiring 11d, of the external terminals 5P on the connector interface side of the controller chip 5 in the same manner as described above. Designated at numeral 33 in FIG. 17 is a guard ring added to the card substrate 1 for the purpose of preventing electrostatic discharge damage. The guard ring 33 orbits or goes around the power terminals 1 and is connected to circuit's ground power terminals.

Since a control terminal 10e for supplying a control signal /TEST for controlling each terminal on the memory inter-

The mode control circuit 118 controls the flash memory chip over its entirety according to commands. The operation of the flash memory chip is thereby controlled according to the commands assigned to the flash memory chip. The commands assigned to the flash memory chip include commands for reading, erasing, writing, etc.

The flash memory chip 4 has a status register 122 for the purpose of indicating its internal state. The contents thereof can be read from the input/output terminals 100 through 107 by asserting the signal/OE.

The invention made by the present inventors has been described specifically based on the embodiments. However, the present invention is not limited to the embodiments. It is needless to say that various changes can be made, thereby within the scope not departing from the substance thereof.

The present invention can be applied to, for example, a multi-media card other than outline specifications of a multi-media card, e.g., a memory having another standard, such as a compact flash memory or the like. Further, the present invention can be applied even to an IC card functioning as an interface card as well as to the memory card. Even in the case of the specifications of a small and thin IC card such as a multi-media card or the like, the present invention can be applied to an interface card. A memory mounted to an IC card according to the present invention is not limited to a non-volatile memory and may be volatile memories (SRAM, DRAM, etc.). An IC card equipped with both a non-volatile memory and a volatile memory may be used. The flash memory chip may be a non-volatile memory chip or a mask ROM based on another storage format according to use applications of a memory card.

The above description has principally been made of the case in which the invention made by the present inventors has been applied to the memory card which falls within an application field serving as the background of the invention. However, the present invention is not limited to it and can be applied even to applications of IC cards such as a passbook, a credit card, an ID card, etc.

Advantageous effects obtained by typical ones of the inventions disclosed in the present application will be explained in brief as follows.

Namely, it is possible to improve serviceability and reliability of an IC card.

An IC card can be provided which is easy to implement an arrangement of connector terminals and compatibility related to functions.

An IC card can be implemented which is hard to cause a power-to-power short when it is loaded in a card socket.

A high-reliability IC card can be provided which is capable of avoiding the compacting of wiring patterns and that of bonding wires and provides high speed and high performance.

An IC card can be implemented which is capable of blocking the inflow of surges from each connector terminal by a simple configuration.

What is claimed is:

1. An integrated circuit (IC) card comprising:

a card substrate including a semiconductor integrated circuit chip mounted thereon; and

a plurality of connector terminals formed in a sequence, wherein said connector terminals are laid out in first and second sequences staggered relatively in a sequence direction and adjacent to one another forward and backward as viewed in an IC card inserting direction, and

wherein the first sequence includes a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.

2. The IC card according to claim 1, wherein said connector terminals include two ground voltage supply terminals, and one clock signal input terminal.

3. The IC card according to claim 2, wherein said connector terminals include data terminals corresponding to four bits and are provided as nine in total.

4. The IC card according to claim 2, wherein said connector terminals include data terminals corresponding to eight bits and are provided as thirteen in total.

5. The IC card according to claim 1, wherein broad terminal-to-terminal distance is set to portions of a connector terminal of the first sequence facing the second sequence.

6. An integrated circuit (IC) card comprising:

a card substrate including a semiconductor integrated circuit chip mounted thereon; and

a plurality of connector terminals formed thereon; wherein said connector terminals being exposed from a casing, wherein said connector terminals include an arrangement of first and second sequences formed back and forth as viewed in an IC card inserting direction, and an arrangement of terminal-to-terminal areas in the first sequence and an arrangement of terminal-to-terminal areas in the second sequence are shifted from one another in a sequence direction, and

wherein the first sequence includes a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.

7. An integrated circuit (IC) card comprising:

a card substrate including a semiconductor integrated circuit chip mounted thereon; and

a plurality of connector terminals formed thereon;

wherein said connector terminals include an arrangement of first and second sequences formed back and forth as viewed in an IC card inserting direction, and shifted from one another in a sequence direction, and

wherein the first sequence includes a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.

8. The IC card according to claim 7, wherein a connector terminal at one end of the second sequence extends to a position adjoining a connector terminal, as viewed in a sequence direction, at one end of the first sequence, and a connector terminal at a second end of the second sequence extends to a position adjoining a connector terminal, as viewed in the sequence direction, at a second end of the first sequence.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.